

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-143108

(43)Date of publication of application : 29.05.1998

(51)Int.Cl. G09G 3/28
H04N 5/66

(21)Application number : 08-300701 (71)Applicant : FUJITSU LTD

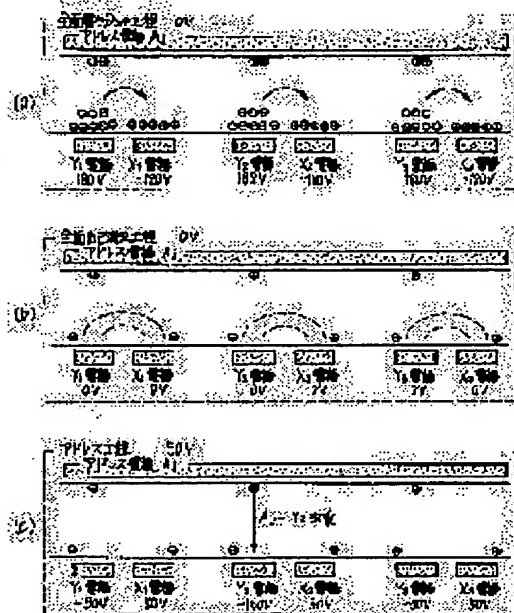
(22)Date of filing : 12.11.1996 (72)Inventor : KANAZAWA GIICHI
NAGAOKA YOSHIMASA

(54) METHOD AND DEVICE FOR DRIVING PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent residual charges from being generated and to enable stable address discharging without causing any increase in power consumption by making the potential difference between electrodes at the time of reset discharging opposite in polarity from the potential difference between the electrodes at the time of selective discharging by the electrodes in an address period.

SOLUTION: In an entire-surface writing process, a voltage of, for example, -120V is applied to a maintenance electrode X1 and a voltage of 180V is applied to a scanning electrode Y1. Consequently, wall charges are generated on the respective electrodes. Then the voltages in the entire-surface writing process are made opposite in application polarity. Consequently, the wall surfaces accumulated on the maintenance electrodes X1 and scanning electrode Y1 are opposite in polarity from each other. In an address process, remaining wall charges having such a polarity that they are added to an address voltage applied between electrodes A1 and Y1. Therefore, the voltage applied between the electrodes A1 and Y1 is never lowered under the influence of the residual charges and the address discharging can stably be performed.



LEGAL STATUS

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-143108

(43)公開日 平成10年(1998) 5月29日

(51)Int.Cl.⁶

識別記号

F I

G 0 9 G 3/28

G 0 9 G 3/28

E

H 0 4 N 5/66

1 0 1

H 0 4 N 5/66

1 0 1 B

審査請求 未請求 請求項の数29 O L (全 27 頁)

(21)出願番号

特願平8-300701

(22)出願日

平成8年(1996)11月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 金澤 義一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 長岡 慶真

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 プラズマディスプレイパネルの駆動方法及び装置

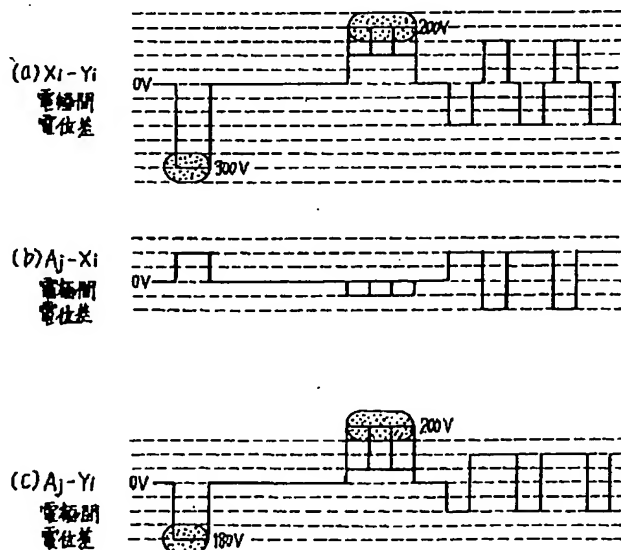
(57)【要約】

(修正有)

【課題】残留電荷の発生を防止し、安定したアドレス放電を可能とする。

【解決手段】第1の基板上に複数の第1 X_i 、第2 Y_i の電極を並行に配置し、対向する第1、第2の基板上に、複数の第3 A_j の電極を第1、第2の電極と交差して配置し、各交差領域に形成した放電セル間の電荷分布を均一にするために、第1、第2、第3の電極に所定の電圧を印加して、リセット放電を実施し自己消去放電を生じさせるリセット期間と、第2、第3の電極にて選択した放電セルにおいて放電を実施し選択的な書き込みを行うアドレス期間と、その放電セルにおける放電発光を行うために、第1、第2の電極間に維持放電パルスを印加する維持放電期間とを有し、リセット放電の際の第1、第2の電極間の電位差を、アドレス期間の選択的な放電の際の第1、第2の電極間の電位差に対して逆極性にする。

本発明の原理を示す説明図



【特許請求の範囲】

【請求項1】 第1の基板上に複数の第1および第2の電極を表示ラインごとと並行に配置すると共に、該第1の基板または該第1の基板と対向する第2の基板上に、該第1および第2の電極とは電氣的に離間した複数の第3の電極を該第1及び第2の電極と交差するように配置し、各交差領域にそれぞれ放電セルを形成したプラズマディスプレイパネルの駆動方法であって、

複数の該放電セル間の電荷分布を均一にするために該第1、第2及び第3の電極に所定の電圧を印加して複数の該放電セル内にてそれぞれリセット放電を実施し、次いで該リセット放電によって蓄積された壁電荷自身の電位差により自己消去放電を生じさせるリセット期間と、該第2及び第3の電極にて選択した放電セルにおいて放電を実施し、表示データに応じた選択的な書き込みを行うアドレス期間と、

該アドレス期間にて書き込みを行った放電セルにおける放電発光を行うために、該第1及び第2の電極間に維持放電パルス印加する維持放電期間とを有し、前記リセット放電において、該第1及び第2の電極間の電位差を、該アドレス期間の該第2及び第3の電極による選択的な放電の際の該第1及び第2の電極間の電位差に対して逆極性とすることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 第1の基板上に複数の第1および第2の電極を表示ラインごとと並行に配置すると共に、該第1の基板または該第1の基板と対向する第2の基板上に、該第1および第2の電極とは電氣的に離間した複数の第3の電極を該第1及び第2の電極と交差するように配置し、各交差領域にそれぞれ放電セルを形成したプラズマディスプレイパネルの駆動方法であって、

複数の該放電セル間の電荷分布を均一にするために該第1、第2及び第3の電極に所定の電圧を印加して複数の該放電セル内にてそれぞれリセット放電を実施し、次いで該リセット放電によって蓄積された壁電荷自身の電位差により自己消去放電を生じさせるリセット期間と、該第2及び第3の電極にて選択した放電セルにおいて放電を実施し、表示データに応じた選択的な書き込みを行うアドレス期間と、

該アドレス期間にて書き込みを行った放電セルにおける放電発光を行うために、該第1及び第2の電極間に維持放電パルス印加する維持放電期間とを有し、前記リセット放電において、該第2及び第3の電極間の電位差を、該アドレス期間の該第2及び第3の電極による選択的な放電の際の該第2及び第3の電極間の電位差に対して逆極性とすることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項3】 前記リセット放電は、前記第1の電極に印加される第1の極性の第1のパルスと、前記第2の電極に印加される第2の極性の第2のパルスとにより実施

することを特徴とする請求項1乃至2記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記第1及び第2のパルスの一方は、前記維持放電パルスに等しい大きさを有することを特徴とする請求項3記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 前記第1及び第2のパルスの幅を、共に $5\mu\text{s}$ 以上かつ $10\mu\text{s}$ 以下とすることを特徴とする請求項3記載のプラズマディスプレイパネルの駆動方法。

【請求項6】 前記リセット放電を行う直前に、前記第1及び第2の電極の一方に緩やかに立ち上がる消去パルス印加することを特徴とする請求項3に示すプラズマディスプレイパネルの駆動方法。

【請求項7】 前記消去パルスは前記第1又は第2のパルスの一方と一体であり、該その一方のパルスと等しい大きさまで緩やかに立ち上がることを特徴とする請求項6記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 前記リセット放電の際、前記第3の電極を接地電位とすることを特徴とする請求項3記載のプラズマディスプレイパネルの駆動方法。

【請求項9】 前記リセット放電において、前記第1及び第3の電極間の電位差を、該アドレス期間の前記第2及び第3の電極による選択的な放電の際の該第1及び第3の電極間の電位差に対して逆極性とすることを特徴とする請求項1乃至2記載のプラズマディスプレイパネルの駆動方法。

【請求項10】 前記自己消去放電終了後、かつ前記アドレス期間における前記第2及び第3の電極による選択的な放電の前に、前記第1又は第2の電極に対して、前記維持放電パルスと等しい大きさの第1の補助パルス印加することを特徴とする請求項1乃至2記載のプラズマディスプレイパネルの駆動方法。

【請求項11】 前記第1の補助パルスは、前記第2の電極を接地電位とし、前記第3の電極に前記維持放電パルスより低い正のパルス印加すると共に、前記第1の電極に印加される正のパルスであることを特徴とする請求項10記載のプラズマディスプレイパネルの駆動方法。

【請求項12】 前記第1の補助パルスの印加後、かつ前記アドレス期間における前記第2及び第3の電極による選択的な放電の前に、前記第2又は第1の電極に対して緩やかに立ち上がる補助消去パルス印加することを特徴とする請求項10記載のプラズマディスプレイパネルの駆動方法。

【請求項13】 前記自己消去放電終了後、かつ前記アドレス期間における前記第2及び第3の電極による選択的な放電の前に、前記第2又は第1の電極に対して、該アドレス期間における該第2及び第3の電極による選択的な放電の際に該第2の電極に印加されるパルスと等しい大きさの第2の補助パルス印加することを特徴とす

る請求項1乃至2記載のプラズマディスプレイパネルの駆動方法。

【請求項14】 前記第2の補助パルスは、前記第3の電極を接地電位とし、前記第1の電極を接地電位又は前記アドレス期間における前記第2及び第3の電極による選択的な放電の際の該第1の電極電位と等しい電位とすると共に、前記第2の電極に印加される負のパルスであることを特徴とする請求項13記載のプラズマディスプレイパネルの駆動方法。

【請求項15】 前記第2の補助パルスの印加後、かつ前記アドレス期間における前記第2及び第3の電極による選択的な放電の前に、前記第2又は第1の電極に対して緩やかに立ち上がる補助消去パルスを印加することを特徴とする請求項13記載のプラズマディスプレイパネルの駆動方法。

【請求項16】 第1の基板上に複数の第1および第2の電極が表示ラインごとと並行に配置される共に、該第1の基板または該第1の基板と対向する第2の基板上に、該第1および第2の電極とは電気的に離間した複数の第3の電極が該第1及び第2の電極と交差するように配置され、各交差領域にはそれぞれ放電セルが形成されてなり、

複数の該放電セル間の電荷分布を均一にするために、該第1、第2及び第3の電極に所定の電圧を印加して複数の該放電セル内にてそれぞれリセット放電を実施し、次いで該リセット放電によって蓄積された壁電荷自身の電位差により自己消去放電を生じさせるリセット期間と、該第2及び第3の電極にて選択した放電セルにおいて放電を実施し、表示データに応じた選択的な書き込みを行うアドレス期間と、該アドレス期間にて書き込みを行った放電セルにおける放電発光を行うために、該第1及び第2の電極間に維持放電パルスを印加する維持放電期間とを繰り返し実行するプラズマディスプレイパネルであって、

該第1、第2及び第3の電極の駆動回路は、該リセット放電における該第1及び第2の電極間の電位差が、該アドレス期間の該第2および第3の電極による選択的な放電の際の該第1及び第2の電極間の電位差に対して逆極性となるように、該第1、第2及び第3の電極電位を制御することを特徴とするプラズマディスプレイパネル。

【請求項17】 第1の基板上に複数の第1および第2の電極が表示ラインごとと並行に配置される共に、該第1の基板または該第1の基板と対向する第2の基板上に、該第1および第2の電極とは電気的に離間した複数の第3の電極が該第1及び第2の電極と交差するように配置され、各交差領域にはそれぞれ放電セルが形成されてなり、

複数の該放電セル間の電荷分布を均一にするために、該第1、第2及び第3の電極に所定の電圧を印加して複数の該放電セル内にてそれぞれリセット放電を実施し、次

いで該リセット放電によって蓄積された壁電荷自身の電位差により自己消去放電を生じさせるリセット期間と、該第2及び第3の電極にて選択した放電セルにおいて放電を実施し、表示データに応じた選択的な書き込みを行うアドレス期間と、該アドレス期間にて書き込みを行った放電セルにおける放電発光を行うために、該第1及び第2の電極間に維持放電パルスを印加する維持放電期間とを繰り返し実行するプラズマディスプレイパネルであって、

該第1、第2及び第3の電極の駆動回路は、該リセット放電における該第2及び第3の電極間の電位差が、該アドレス期間の該第2および第3の電極による選択的な放電の際の該第2及び第3の電極間の電位差に対して逆極性となるように、該第1、第2及び第3の電極電位を制御することを特徴とするプラズマディスプレイパネル。

【請求項18】 前記第1の電極を駆動する回路は、前記維持放電パルスを生成するプッシュプル型の第1のスイッチング素子対と、前記アドレス期間における印加電圧を供給するプッシュプル型の第2のスイッチング素子対と、前記リセット放電における前記所定の電圧を供給する第3のスイッチング素子対を有することを特徴とする請求項16乃至17記載のプラズマディスプレイパネル。

【請求項19】 前記第1及び第2のスイッチング素子対は、第4のスイッチング素子を介して前記第1の電極及び前記第3のスイッチング素子に接続されてなることを特徴とする請求項18記載のプラズマディスプレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、メモリ機能を有する表示素子である放電セルの集合によって構成された表示パネルを駆動する技術に係わり、特に、AC（交流）型プラズマディスプレイパネル（Plasma Display Panel: PDP）の駆動方法に関する。AC型PDPは、一対の維持電極に交互に電圧パルスを印加することで放電を持続し、発光表示を行うものである。一回の放電自体は、電圧パルス印加直後、 $1\mu\text{s}$ から数 μs で終了する。しかしながら放電によって発生した正電荷であるイオンは、負の電圧が印加されている電極上の絶縁層の表面に蓄積される。また、同時に発生した負電荷である電子は、正の電圧が印加されている電極上の絶縁層の表面に蓄積される。これらの蓄積された正負の電荷は、壁電荷と呼ばれる。

【0002】従って、高い電圧パルス（書き込みパルス）の印加により放電を生じさせ、一旦上記壁電荷を生成すれば、それ以降は前回よりも低い電圧パルス（維持放電パルス）を蓄積した壁電荷に重畳するよう印加するだけで、放電電圧の閾値を越えて放電を開始する。つまり一度書き込み放電を行い壁電荷を生成した放電セル

は、その後維持放電パルスを交互に逆極性で印加するだけで、放電を持続するという特徴がある。これをメモリ効果、またはメモリ機能と呼んでいる。一般にAC型PDPは、このメモリ効果を利用して表示を行うものである。そして初期のAC型PDPは、2本の電極のみで書き込み放電（アドレス放電）および維持放電を行う2電極型が主流であった。

【0003】ところでカラー表示を行うPDPは、放電により発生する紫外線によって放電セル内に形成した蛍光体を励起していることが多いが、この蛍光体は一般的に放電と同時に発生する正電荷（イオン）による衝撃に対して脆弱であった。上記の2電極型PDPは、蛍光体がイオンに直接当たるような構成になっているため、蛍光体の寿命低下を招くという欠点があった。

【0004】これを回避するために、アドレス放電を行うための電極と維持放電を行うための電極とを分離し、表面に蛍光体を形成した対向基板を維持放電に使用しないようにした面放電型の3電極構造が開発されている。更にこの3電極型においても、第3の電極を維持放電を行う第1と第2の電極が配置されている基板に形成する場合と、対向するもう一つの基板に配置する場合がある。また同一基板に前記第3の電極を形成する場合でも、維持放電を行う2本の電極の上に第3の電極を配置する場合と、その下に第3の電極を配置する場合がある。

【0005】本願発明は、上記種々のPDPのうち、3電極・面放電・AC型のPDPにおいて特に効果を有するものである。

【0006】

【従来の技術】図9は、3電極・面放電・AC型PDPを駆動するための周辺回路を示す概略的ブロック図である。アドレス電極 A_i はそれぞれアドレスドライバ5に接続され、アドレスドライバ5によって個別に駆動される。また走査電極 Y_i ($i=1\sim N$)も、それぞれYスキヤンドライバ3に接続され、Yスキヤンドライバ3によって個別に駆動される。更にYスキヤンドライバ3は、Y共通ドライバ4に接続されている。入力信号に応じた書き込みを行うためのアドレス放電の際には、各走査電極 Y_i へ印加するスキヤンパルス ($-V_y$) をYスキヤンドライバ3から個別に供給し、上記書き込みに基づいた表示を行うための維持放電の際には、各走査電極 Y_i へ印加する維持パルス (V_s) をY共通ドライバ4からYスキヤンドライバ3を経由して各走査電極 Y_i に共通に供給する。一方維持電極 X_i は、一端を共通に接続されているため共通電極とも呼ばれており、X共通ドライバ2に接続されている。X共通ドライバ2は、リセット放電のための全面書き込みパルス ($V_s + V_w$) や維持放電パルス (V_s) 等を、維持電極 X_i に共通に供給する。

【0007】制御回路6は、これら各ドライバを制御す

るものであり、大まかに述べれば、表示データ制御部7とパネル駆動制御部8とからなっている。表示データ制御部7は、外部から供給される表示データ信号 ($Data$) をフレーム単位で一旦記憶するフレームメモリ7を備え、アドレスドライバ5を制御するものである。またパネル駆動制御部8は、外部から供給される垂直同期信号 (V_{sync}) や水平同期信号 (H_{sync}) に応じて動作するスキヤンドライバ制御部81及び共通ドライバ制御部82とを備えている。スキヤンドライバ制御部81はYスキヤンドライバ3を制御し、共通ドライバ制御部82はY共通ドライバ4及びX共通ドライバ2を制御する。

【0008】図10は、この3電極・面放電・AC型PDPの概略的平面図である。平行に設けられた各走査電極 Y_i と各維持電極 X_i とはそれぞれ対をなし、1表示ラインを構成する。一方各アドレス電極 A_i は、走査電極 Y_i 及び維持電極 X_i と直交するよう配置され、各交差領域にて放電セル101を形成する。放電セル101は、障壁19（リブ、或いはバリア等とも呼ばれる）によって隣接する放電セルとの空間的な結合が断ち切られている。この障壁19は、各放電セル101を取り囲むように四方に設けて各放電セル101を完全に密封するよう形成する場合もあるが、図9のように一方向のみに設け、他方向は電極間のギャップ（距離）の適正化によって空間的な結合を切るよう構成する場合もある。

【0009】また図11は、3電極・面放電・AC型PDPの概略的断面図・1であり、図10のアドレス電極 A_i に沿った断面図を示している。同じく図12は、3電極・面放電・AC型PDPの概略的断面図・2であり、図10の走査電極 Y_i ／維持電極 X_i に沿った断面図を示している。放電空間10は、対向する2枚のガラス基板11、14によって構成されている。前面ガラス基板14には、走査電極 Y_i 及び維持電極 X_i とが平行に設けられており、これらの電極は、それぞれ透明電極15とバス電極16とによって構成されている。透明電極15はITO (Indium Tin Oxide) などから形成され、蛍光体13からの反射光が透過できるようになっている。一方バス電極16は、一般的な配線用の金属に対して比較的抵抗の大きな透明電極15による電圧ドロップを防ぐために、透明電極15に積層するように設けられている。このバス電極16は不透明であるため、表示領域を狭めることのないよう細幅にて形成する必要がある。これらの電極は誘電体層17にて覆われており、更にその表面には保護膜としてMgO（酸化マグネシウム）膜18が形成されている。

【0010】一方前面ガラス基板14と対向するよう配置される背面ガラス基板11には、アドレス電極 A_i が、走査電極 Y_i 及び維持電極 X_i と直交するよう設けられている。アドレス電極 A_i も、走査電極 Y_i 及び維持電極 X_i と同様に、誘電体層12にて覆われてい

る。そして前述の障壁19が各アドレス電極 A_i 間を空間的に分離するように設けられており、その障壁19の間には、アドレス電極を覆う形で赤、緑、青の発光特性を持つ蛍光体13が形成されている。2枚のガラス基板11、14は、障壁19の尾根とMgO膜18とが密着する形で組立てられている。

【0011】なお、蛍光体13から発せられた可視光を背面ガラス基板11側から見る構造を透過型と呼び、それに対して蛍光体13からの反射光を前面ガラス基板14側から見る構造を反射型と呼ぶ。図11及び図12では、上記のうちの反射型を示している。図13は従来技術を示す駆動波形図であり、本願発明者が発明した従来のPDPの駆動方法(特願平5-310937)を示している。この駆動方法は、表示データに応じて書き込みを行うアドレス期間と、書き込んだデータに基づいて表示を行う維持放電期間とを時間的に分離した、いわゆる「アドレス/維持放電期間分離型」を前提としたものであり、またアドレス期間においては発光させるべき放電セルにおいて選択的に書き込みを行う書き込みアドレス法を採用している。なお(a)はアドレス電極 A_i 駆動波形、平成8年11月12日(b)は維持電極 X_i 駆動波形、(c)~(e)はそれぞれ走査電極 $Y_1 \sim Y_N$ 駆動波形である。なお、各維持電極 X_i はその一端にて共通に接続されているため、実際には同電圧が印加される。

【0012】各図は後述する1サブフィールド期間内における波形図を示しており、各サブフィールドはリセット期間、アドレス期間及び維持放電期間とに分離される。リセット期間においては、まず全ての走査電極 Y_i ($i=1 \sim N$)が接地電位とされ、同時に維持電極 X_i に電圧 $V_s + V_w$ (約300V)からなる全面書き込みパルスが印加される。この結果、以前の表示状態とは無関係に、全表示ラインの全放電セルで書き込み放電が行われる。このとき全アドレス電極 A_i には、共通に電圧 V_{aw} (約100V)が印加されている。次に維持電極 X_i と全アドレス電極 A_i の電位を0Vとすると、先の全面書き込み放電によって蓄積された壁電荷自身の電位差により、全放電セルにて自己消去放電が開始される。この放電は、電極間の電位差が無いために、空間電荷を自己中和して終息する。この自己消去放電によって、パネル内の全放電セルの電荷分布状態が壁電荷の無い均一な状態にリセットされる。すなわち放電セルの初期化である。このリセット期間を実施することによって、続くアドレス期間における書き込み放電を安定して行うことができる。

【0013】アドレス期間では、各走査電極 Y_i の電位を一旦 $-V_{sc}$ ($-50V$)とした後、各走査電極 Y_i に順次スキャンパルス $-V_y$ (約 $-150V$)を印加する。その際に表示を行わせる放電セルに対応するアドレス電極 A_i にアドレスパルス V_a (約50V)が選択的に印加され、アドレス放電の第1段階であるアドレス電

極 A_i と走査電極 Y_i 間の放電が行われる。この時維持電極 X_i には電圧 V_x (約50V)が印加されており、即アドレス放電の第2段階である維持電極 X_i と走査電極 Y_i 間の放電に移行する。これによって、続く維持放電期間において維持放電を実施可能とする壁電荷が形成される。なお、アドレス放電が上記のように二段階に分かれるのは、 $A_i - Y_i$ 間と $X_i - Y_i$ 間の放電開始電圧の相違によるものである。他の表示ラインについても同様の動作が行われ、全表示ラインにおいて選択的な表示データの書き込み(壁電荷の形成)が行われる。上記のように表示を行うべき放電セルに対して選択的に書き込み放電を行う方式を一般的に「書き込みアドレス法」と呼ぶが、その一方で一旦全放電セルに対して書き込みを行い、表示を行うべき放電セルを除いて選択的に消去放電を行う方式も存在し、これは一般的に「消去アドレス法」と呼ばれている。

【0014】維持放電期間では、全走査電極 Y_i と維持電極 X_i に交互に維持放電パルス V_s (約180V)が印加される。この結果、前述のアドレス期間にて書き込みが行われた(壁電荷が形成された)放電セルは、壁電荷の電位に維持放電パルス V_s が重畳されることで放電開始電圧を越えることになり、維持放電が行われる。一方アドレス期間にて書き込みが行われなかった(壁電荷が形成されなかった)放電セルでは、維持パルス V_s の印加のみでは放電開始電圧を越えないため、維持放電は行われない。従って維持放電工程では、アドレス工程にて書き込みを行った放電セルにおいてのみ、維持放電による発光表示が行われることになる。

【0015】上述のリセット期間、アドレス期間、維持放電期間の3期間により1つのサイクルが構成される訳であるが、現実にはフルカラー表示を行うためには階調表示が必要である。従って、上記の1サイクルを1サブフィールド(サブフレームと呼ばれることもある)とし、1画面分の映像(1フレーム)をそれぞれ輝度の異なる複数のサブフィールドで構成する方法が開発されている。(ADSサブフィールド法、特願平2-331589)この方法では、各サブフィールドにおける輝度の相違を維持放電期間の長さ、つまり維持パルスの印加回数によって規定している。

【0016】図14は、ADSサブフィールド法を示す説明図である。ここでは多階調表示の一例として、256階調表示を行う場合の駆動方法を示している。この例では、1フレームは8個のサブフィールド(SF1、SF2、SF3、SF4、SF5、SF6、SF7、SF8)に区分されている。これらのサブフィールド、SF1~SF8においては、リセット期間とアドレス期間は基本的に全て同一の長さであるが、維持放電期間の長さはそれぞれ1:2:4:8:16:32:64:128の比率とされている。従って、1フレーム内で点灯させるサブフィールドを適宜選択することで、0から255までの

256段階の輝度の違い(階調)を実現できる。なお、図14の例では維持放電期間の長さを上記比率としたが、これは任意に変更することが可能であり、同じ輝度を有するサブフィールドを一部含める方法も開発されている。またサブフィールドの順番も、必ずしも昇順又は降順とする必要はない。

【0017】実際の時間配分の1例は次のようになる。日本のテレビ画像における1画面の書き換え周波数は60Hzであるから、1フレームは16.6ms(1/60Hz)となる。1フレーム内の維持放電パルス(サステインパルス)の回数を510回とすれば、各サブフィールドの維持放電パルスはそれぞれSF1が2パルス、SF2が4パルス、SF3が8パルス、SF4が16パルス、SF5が32パルス、SF6が64パルス、SF7が128パルス、SF8が256パルスとなる。従って1維持放電パルスの時間を8 μ sとすれば、1フレームでの合計は4.08msとなり、残りの約12msが8回のリセット期間とアドレス期間に割り当てられることになる。この結果、各サブフィールドのリセット期間とアドレス期間は約1.5ms(12ms/8=1.5ms)となり、各アドレス期間のリセット期間に50 μ s程度必要であるとすれば、500ラインのパネルを駆動するためには各ラインの書き込み時間は約3 μ s((1.5ms-50 μ s)/500=2.9 μ s)となる。

【0018】

【発明が解決しようとする課題】図13の駆動波形図に示したように、従来の駆動方法においては、リセット期間における全面書き込みパルス $V_s + V_w$ (約300V)を維持電極 X_i 側から印加している。しかしながら維持電極 X_i 側から上記全面書き込みパルスを印加するという従来の方法は、アドレス期間における書き込み工程を不安定にする可能性があるということが判明した。

【0019】図15は、従来技術の問題点を示す波形図であり、(a)アドレス電極 A_j 、(b)維持電極 X_i 、(c)走査電極 Y_i は、先の図13と同じ波形を示している。そして(d) $X_i - Y_i$ 電極間電位差は、 $X_i - Y_i$ 電極間の電位差の変動を表したものであり、同じく(e) $A_j - Y_i$ 電極間電位差は、 $A_j - Y_i$ 電極間の電位差の変動を表したものである。なお網かけした部分は、その電位差にて放電が生じていることを示している。

【0020】ここでまず(d) $X_i - Y_i$ 電極間電位差に着目すると、リセット期間における全面書き込み時の極性とアドレス期間におけるアドレス放電時の極性が同じであることがわかる。このため従来の駆動方法では、全面書き込み放電によって形成された壁電荷を、続く自己消去放電で消去しきれなかった場合、残留した壁電荷がアドレス放電の発生を妨げるように作用していた。これが第一の問題点である。

【0021】さらに(e) $A_j - Y_i$ 電極間電位差に着目

すると、やはりリセット期間における全面書き込み時の極性とアドレス期間におけるアドレス放電時の極性が同じであることがわかる。元来3電極・面放電型のPDPでは、維持放電は一方の基板上に設けられた $X_i - Y_i$ 電極間にて行われるため、アドレス電極 A_j 上に形成された壁電荷は消去されにくいという傾向がある。このためアドレス放電によってアドレス電極 A_j 上に形成された壁電荷は、その一部が維持放電工程を終了しても残留することになる。しかも上述のように、リセット工程における全面書き込み時の極性がアドレス期間のときと同じであるため、残留した壁電荷はリセット工程を経ても消去しきれずに一部残留し、次のアドレス放電の発生を妨げるように作用していた。これが第二の問題点である。次に、この第一、第二の問題点を詳細に説明することとする。

【0022】図16は、前記従来技術の第一の問題点を示すモデル図である。まず(a)全面書き込み工程では、維持電極 X_i から約300Vの全面書き込みパルス $V_s + V_w$ が印加される。その時の他の電極の電圧は、例えば走査電極 Y_i が0V、アドレス電極 A_j が100V($V_{aw})$ である。よって、維持電極 X_i と走査電極 Y_i 間の放電と共に維持電極 X_i とアドレス電極 A_j 間の放電も併発し、各電極上に印加電圧に応じて正負の壁電荷が蓄積される。

【0023】次の(b)全面自己消去工程では、(a)工程の全面書き込みパルスを取り去った後に各電極を同電位、具体的には0Vにすることで、(a)工程にて蓄積した正負の壁電荷間の電位差自体により自己消去放電が開始される。この工程により、蓄積されている壁電荷は中和され、消去される。ところが放電を行わない側の電極間(例えば X_i 電極と Y_i 電極間のギャップなど、逆スリットとも呼ぶ)付近の壁電荷は、中和されずに一部残留してしまう。

【0024】(c)は、前述の残留した壁電荷を持ったままアドレス工程を実施した状態を示している。この状態でアドレス放電が行われると、走査電極 Y_i 側に蓄積したプラスの壁電荷がアドレス電極 A_j と走査電極 Y_i 間に印加される電圧を引き下げる方向に作用し、アドレス放電を妨げてしまう。次に図17は、前記従来技術の第二の問題点を示すモデル図である。(a)アドレス工程では、例えば維持電極 X_i の電位を50V(V_x)とした状態で走査電極 Y_i に-150Vのスキャンパルス $-V_y$ を順次印加し、同時に表示データに応じてアドレス電極 A_j に選択的に50Vのアドレスパルス V_a を印加してアドレス放電を実行する。その結果データを書き込むべき放電セルにおいて、維持電極 X_i 及び走査電極 Y_i 上に壁電荷が蓄積される。この壁電荷が後の $X_i - Y_i$ 間の維持放電の際に有効に作用するわけであるが、放電セルの選択に使用したアドレス電極 A_j 上においても、必然的にマイナスの壁電荷が蓄積されてしまう。特に図

10にて説明したようなパネルでは、隣接放電セルとの空間的な結合を断ち切るための障壁19がアドレス電極 A_j に沿ってのみ形成されているため、アドレス放電によって生成された壁電荷はアドレス電極 A_j に沿って広がることになる。

【0025】(b)維持放電工程では、(a)工程にて維持電極 X_i 及び走査電極 Y_i 上に蓄積した壁電荷に重畳するように維持放電パルスを加する。従って維持放電は、 X_i-Y_i 電極間、すなわち一方の基板側のみにて行われ、アドレス電極 A_j 側に形成された壁電荷は中和され難い。特にアドレス電極 A_j 側の逆スリット付近に形成された壁電荷は、 X_i-Y_i 電極間による放電空間から離れていることもあって、維持放電工程終了後も残留しやすい。

【0026】次のサブフィールドにおける(c)全面書き込み工程及び(d)全面自己消去工程を経ても、このアドレス電極 A_j 側・逆スリット付近の壁電荷は残留する。これは A_j-Y_i 電極間電位差の極性が、全面書き込み工程の際とアドレス工程の際とで同じであることが原因である。まず、ある電圧極性による放電で形成された壁電荷は、本質的に逆極性の同程度の電圧による放電を実施しなければ完全に中和はできない。(c)工程にて(a)工程と同極性による電圧を加しても、アドレス電極 A_j 上に残留しているマイナスの壁電荷はこの A_j-Y_i 間の印加電圧を引き下げるように作用する。特に本例では、 A_j-Y_i 間の印加電圧が100V程度ともともと低いことも相まって、 A_j-Y_i 間では放電自体生じない。この場合、同図に示すように高電圧を加している A_j-X_i 間にもつぱら放電が生じることになるが、アドレス電極 A_j 側・逆スリット付近に残留している壁電荷は、 A_j-X_i 間による放電空間からは遠すぎるのである。結果として、このアドレス電極 A_j 側・逆スリット付近の壁電荷は、(c)工程及び(d)工程を経ても完全には中和されずに残留してしまう。

【0027】次の(e)アドレス工程では、再びアドレス電極 A_j に選択的に50Vのアドレスパルス V_a が印加されるわけであるが、前記アドレス電極 A_j 側に残留したマイナスの壁電荷は、この(e)工程で A_j-Y_i 間に印加される電圧を引き下げるように作用する。この結果、一部の放電セルではアドレス放電を開始できない事態が生じる。

【0028】これら残留電荷は、本来印加されるべき電圧を10V程度引き下げることが確認されており、放電を予定より小規模にするばかりか、電極間に印加された電圧がその放電セルの放電開始電圧を下回り、放電自体開始できないこともある。すなわち従来の駆動方法では、安定したアドレス放電を行うことが困難であり、書き込みミス等によって正しい表示が行えないという問題が生じていた。残留電荷の影響を予め考慮した大きな電圧を加するという対策も考えられるが、この方法が消

費電力の増加につながることは勿論である。

【0029】本発明は、上記のような残留電荷の発生を防止し、消費電力の増加を伴うことなく安定したアドレス放電を可能とするPDPの駆動方法を提供することを目的とする。

【0030】

【課題を解決するための手段】請求項1による発明では、第1の基板上に複数の第1(X_i)および第2(Y_i)の電極を表示ラインごとに並行に配置すると共に、該第1の基板または該第1の基板と対向する第2の基板上に、該第1(X_i)および第2(Y_i)の電極とは電氣的に離間した複数の第3(A_j)の電極を該第1(X_i)及び第2(Y_i)の電極と交差するように配置し、各交差領域にそれぞれ放電セルを形成したプラズマディスプレイパネルの駆動方法であって、各該放電セル間の電荷分布を均一にするために該第1(X_i)、第2(Y_i)及び第3(A_j)の電極に所定の電圧を加して複数の該放電セル内にてそれぞれリセット放電を実施し、次いで該リセット放電によって蓄積された壁電荷自身の電位差により自己消去放電を生じさせるリセット期間と、該第2(Y_i)及び第3(A_j)の電極にて選択した放電セルにおいて放電を実施し、表示データに応じた選択的な書き込みを行うアドレス期間と、該アドレス期間にて書き込みを行った放電セルにおける放電発光を行うために、該第1(X_i)及び第2(Y_i)の電極間に維持放電パルスを印加する維持放電期間とを有し、前記リセット放電の際の該第1(X_i)及び第2(Y_i)の電極間の電位差を、該アドレス期間の該第2(Y_i)及び第3(A_j)の電極による選択的な放電の際の該第1(X_i)及び第2(Y_i)の電極間の電位差に対して逆極性となるようにする。

【0031】請求項2による発明では、前記リセット放電の際の該第2(Y_i)及び第3(A_j)の電極間の電位差を、該アドレス期間の該第2(Y_i)及び第3(A_j)の電極による選択的な放電の際の該第2(Y_i)及び第3(A_j)の電極間の電位差に対して逆極性となるようにする。図1は本発明の原理を示す説明図であり、(a)～(c)にはそれぞれ各電極間の電位差を示した。(a)は X_i-Y_i 電極間電位差を表すものであり、(b)は A_j-X_i 電極間電位差を表すもの、(c)は A_j-Y_i 電極間電位差を表すものである。

【0032】請求項1に係わる本発明では、(a)に示す X_i-Y_i 電極間電位差に注目したとき、リセット期間における全面書き込み時の極性とアドレス期間におけるアドレス放電時の極性とが逆となるようにしている。また請求項2に係わる本発明では、(c)に示す A_j-Y_i 電極間電位差に注目したとき、リセット期間における全面書き込み時の極性とアドレス期間におけるアドレス放電時の極性とが逆となるようにしている。

【0033】先に述べたように、アドレス放電の不安定

さは、リセット期間における全面書き込み時の電極間極性とアドレス期間におけるアドレス放電時の電極間極性とが同じであったことが原因である。従って、上記本願発明の手法を採用することにより先に述べた問題点を解決することができ、残留電荷の発生を防止し、消費電力を増加させることなく安定したアドレス放電が可能となる。

【0034】請求項3による発明では、請求項1乃至2の発明において、前記第1 (X_i) の電極に印加される第1の極性の第1のパルスと、前記第2 (Y_i) の電極に印加される第2の極性の第2のパルスとにより、前記リセット放電を実施する。請求項4による発明では、請求項3の発明において、前記第1及び第2のパルスの一方が、前記維持放電パルスに等しい大きさを有するようにする。

【0035】請求項5による発明では、請求項3の発明において、前記第1及び第2のパルスの幅を、共に5 μ s以上かつ10 μ s以下とする。請求項6による発明では、請求項3の発明において、前記リセット放電を行う直前に、前記第1 (X_i) 及び第2 (Y_i) の電極の一方に緩やかに立ち上がる消去パルスを印加する。

【0036】請求項7による発明では、請求項6の発明において、前記消去パルスが前記第1又は第2のパルスの一方と一体であり、該その一方のパルスと等しい大きさまで緩やかに立ち上がるようにする。請求項8による発明では、請求項3の発明において、前記リセット放電の際、前記第3 (A_j) の電極を接地電位とする。

【0037】請求項9による発明では、請求項1乃至2の発明において、前記リセット放電の際の前記第1 (X_i) 及び第3 (A_j) の電極間の電位差を、該アドレス期間の前記第2 (Y_i) 及び第3 (A_j) の電極による選択的な放電の際の該第1 (X_i) 及び第3 (A_j) の電極間の電位差に対して逆極性となるようにする。請求項10による発明では、請求項1乃至2の発明において、前記自己消去放電終了後、かつ前記アドレス期間における前記第2 (Y_i) 及び第3 (A_j) の電極による選択的な放電の前に、前記第1 (X_i) 又は第2 (Y_i) の電極に対して、前記維持放電パルスと等しい大きさの第1の補助パルスを印加する。

【0038】請求項11による発明では、請求項10の発明において、前記第2 (Y_i) の電極を接地電位とし、前記第3 (A_j) の電極に前記維持放電パルスより低い正のパルスを印加すると共に、前記第1 (X_i) の電極に正のパルスを印加することで、前記第1の補助パルスを実現する。請求項12による発明では、請求項10の発明において、前記第1の補助パルスの印加後、かつ前記アドレス期間における前記第2 (Y_i) 及び第3 (A_j) の電極による選択的な放電の前に、前記第2 (Y_i) 又は第1 (X_i) の電極に対して緩やかに立ち上がる補助消去パルスを印加する。

【0039】請求項13による発明では、請求項1乃至2の発明において、前記自己消去放電終了後、かつ前記アドレス期間における前記第2 (Y_i) 及び第3

(A_j) の電極による選択的な放電の前に、前記第2 (Y_i) 又は第1 (X_i) の電極に対して、該アドレス期間における該第2 (Y_i) 及び第3 (A_j) の電極による選択的な放電の際に該第2 (Y_i) の電極に印加されるパルスと等しい大きさの第2の補助パルスを印加する。

【0040】請求項14による発明では、請求項13の発明において、前記第3 (A_j) の電極を接地電位とし、前記第1 (X_i) の電極を接地電位又は前記アドレス期間における前記第2 (Y_i) 及び第3 (A_j) の電極による選択的な放電の際の該第1 (X_i) の電極電位と等しい電位とすると共に、前記第2 (Y_i) の電極に負のパルスを印加することで、前記第2の補助パルスを実現する。

【0041】請求項15による発明では、請求項13の発明において、前記第2の補助パルスの印加後、かつ前記アドレス期間における前記第2 (Y_i) 及び第3 (A_j) の電極による選択的な放電の前に、前記第2 (Y_i) 又は第1 (X_i) の電極に対して緩やかに立ち上がる補助消去パルスを印加する。請求項16による発明では、第1の基板上に複数の第1 (X_i) および第2 (Y_i) の電極が表示ラインごとに並行に配置される共に、該第1の基板または該第1の基板と対向する第2の基板上に、該第1 (X_i) および第2 (Y_i) の電極とは電気的に離間した複数の第3 (A_j) の電極が該第1 (X_i) 及び第2 (Y_i) の電極と交差するように配置され、各交差領域にはそれぞれ放電セルが形成されており、複数の該放電セル間の電荷分布を均一にするために、該第1 (X_i)、第2 (Y_i) 及び第3 (A_j) の電極に所定の電圧を印加して複数の該放電セル内にてそれぞれリセット放電を実施し、次いで該リセット放電によって蓄積された壁電荷自身の電位差により自己消去放電を生じさせるリセット期間と、該第2 (Y_i) 及び第3 (A_j) の電極にて選択した放電セルにおいて放電を実施し、表示データに応じた選択的な書き込みを行うアドレス期間と、該アドレス期間にて書き込みを行った放電セルにおける放電発光を行うために、該第1 (X_i) 及び第2 (Y_i) の電極間に維持放電パルスを印加する維持放電期間とを繰り返し実行するプラズマディスプレイパネルであって、該第1 (X_i)、第2 (Y_i) 及び第3 (A_j) の電極の駆動回路は、該リセット放電における該第1 (X_i) 及び第2 (Y_i) の電極間の電位差が、該アドレス期間の該第2 (Y_i) および第3 (A_j) の電極による選択的な放電の際の該第1 (X_i) 及び第2 (Y_i) の電極間の電位差に対して逆極性となるように、該第1 (X_i)、第2 (Y_i) 及び第3 (A_j) の電極電位を制御するものである。

【0042】請求項17による発明では、前記第1 (X_i)、第2 (Y_i) 及び第3 (A_j) の電極の駆動回路として、該リセット放電における該第2 (X_i) 及び第3 (Y_i) の電極間の電位差が、該アドレス期間の該第2 (Y_i) および第3 (A_j) の電極による選択的な放電の際の該第2 (X_i) 及び第3 (Y_i) の電極間の電位差に対して逆極性となるように、該第1 (X_i)、第2 (Y_i) 及び第3 (A_j) の電極電位を制御するものである。

【0043】請求項16及び17に係わる本発明では、残留電荷の発生を防止し、消費電力を増加させることなく安定したアドレス放電が可能なプラズマディスプレイパネルを実現できる。請求項18による発明では、請求項16乃至17の発明において、前記第1 (X_i) の電極を駆動する回路は、前記維持放電パルスを生成するプッシュプル型の第1のスイッチング素子対と、前記アドレス期間における印加電圧を供給するプッシュプル型の第2のスイッチング素子対と、前記リセット放電における前記所定の電圧を供給する第3のスイッチング素子とを有する。

【0044】請求項19による発明では、請求項18の発明において、前記第1及び第2のスイッチング素子対が、第4のスイッチング素子を介して前記第1 (X_i) の電極及び前記第3のスイッチング素子に接続される。

【0045】

【発明の実施の形態】図2は本発明の第一の実施例を示す波形図である。(a)はアドレス電極 A_j の印加電圧波形を、(b)は維持電極 X_i の印加電圧波形を、そして(c)は走査電極 Y_i の印加電圧波形を示している。この実施例では、図9にて説明したように維持電極 X_i は全て共通に接続されているため、全維持電極 X_i の印加電圧は常に同一である。なおプラズマディスプレイパネルの中には、維持電極 X_i をブロック毎に接続し、全維持電極を共通としない構成もあるが、本発明はこれらを排除するものではない。

【0046】本実施例において、まずリセット期間では、全面書き込みパルスとして、例えば全アドレス電極を0Vに維持した状態で、全維持電極 X_i に-120V、全走査電極 Y_i には+180Vを印加する。この結果、全維持電極 X_i と全走査電極 Y_i 間には実質的に300Vの電圧が印加される。この電圧値は図15にて説明した従来の書き込み電圧と同一であるが、その極性が逆となっている。すなわち図15の従来例では、走査電極 Y_i に対して維持電極 X_i に+300Vの電圧が印加されていたが、本発明では走査電極 Y_i に対して維持電極 X_i に-300Vの電圧が印加されているのである。また従来では、走査電極 Y_i に対してアドレス電極 A_j には+100Vの電圧が印加されていたが、本発明では-180Vの電圧が印加されている。この印加電圧により、全電極への全面書き込み放電が実施され、各電極上

には過剰な壁電荷が蓄積される。

【0047】なお、ここで維持電極 X_i への印加電圧を単純に-300Vとしていないのは、主に次の2つの理由による。第一は、走査電極 Y_i から+180Vという維持放電パルスと同電圧の印加電圧を供給することで、走査電極 Y_i へ維持放電パルスを供給するための駆動回路をそのまま利用できるためである。仮に維持電極 X_i 側から-300Vを供給するのであれば、維持電極 X_i 側に、新たに-300Vという大電圧を供給するための駆動回路を設けなければならない。一方本実施例では、維持電極 X_i 側に新たに設ける必要があるのは、-120Vを供給する回路のみである。

【0048】第二は、維持電極 X_i と走査電極 Y_i との間の電圧極性及び、アドレス電極 A_j と走査電極 Y_i との間の電圧極性の双方を、従来と逆にするためである。維持電極 X_i 側から-300Vを供給する場合、前者は従来と逆になるが、後者は従来と変わらない。もちろん維持電極 X_i と走査電極 Y_i との間の電圧極性のみ、或いはその逆にアドレス電極 A_j と走査電極 Y_i との間の電圧極性のみを逆としても、先に述べた従来の問題点のうち一方は解決できるのであるから効果はあるが、双方の問題点を同時に解決することが望ましい。本実施例の構成では、回路規模の増大を最小限に抑えつつ、従来の問題点の双方を解決することができる。

【0049】なお、走査電極 Y_i へ+180Vの電圧を印加することに伴い、アドレス電極 A_j は接地電位となる。すなわち従来から、 $A_j - Y_i$ 電極間電位差は、 $X_i - Y_i$ 電極間電位差の中間程度の電位差としていた。これは、 $A_j - Y_i$ 電極間電位差が大きすぎると又は小さすぎると、アドレス放電を行うための電圧マージンが小さくなるためである。(すなわち良好なアドレス放電を可能とする電圧範囲が狭くなる)これは実験の結果として得られた知見であるため、その理由などの詳細は明らかではない。また $A_j - X_i$ 電極間電位差が大きすぎると、放電セルが破壊される可能性もあった。一方本実施例では、走査電極 Y_i へ+180Vの電圧を印加するようにしているため、アドレス電極 A_j を接地電位に維持するだけで、 $A_j - Y_i$ 電極間電位差を $X_i - Y_i$ 電極間電位差の中間程度に保つことができる。

【0050】更に本発明では、維持電極 X_i 及び走査電極 Y_i から印加する両パルスの幅は、共に5 μ s以上10 μ s以下とすることが望ましい。これは、この範囲を越えた場合、全放電セルにおける十分なリセットが難しくなるからである。これも実験によって得られた知見であることからその詳細な理由は明らかではないが、パルス幅が短すぎると全放電セルにて放電を十分に起こすことができず、逆に長すぎると壁電荷が多量に広範囲に形成されてしまい、壁電荷の十分な中和が難しくなるからであると推測されている。

【0051】次いで書き込み電圧の印加後に、各電極は

同電位、具体的には接地電位(0V)とされる。この結果、各電極間に蓄積された過剰な壁電荷自身の電位差が電極間の放電開始電圧を越えて、放電を開始する。この放電により蓄積された壁電荷はほぼ中和され、全放電セルにおける電荷分布は均一となる。いわゆる自己消去放電であり、この工程により各放電セルのリセットが行われる。

【0052】次にアドレス期間では、入力されてくる表示データに応じてデータの書き込みが行われる。すなわち維持電極 X_i を例えば50Vに維持した状態で、各走査電極 Y_j に順次スキャンパルス V_y を印加する。ここではスキャンパルス V_y は-150Vである。スキャンパルス V_y によりライン選択がなされた状態で、前記表示データに基づき、各アドレス電極 A_j から選択的にアドレスパルス V_a が印加される。ここではアドレスパルスは50Vである。この結果、走査電極 Y_j とアドレス電極 A_j とにより選択された放電セルにのみ書き込み放電が行われ、壁電荷が蓄積される。

【0053】ここでは、走査電極 Y_j に対して維持電極 X_i に+200Vの電圧が印加されており(スキャンパルス印加時)、また走査電極 Y_j に対してアドレス電極 A_j にも+200Vの電圧が印加されている。(スキャンパルス及びアドレスパルス印加時)従って本実施例では、リセット放電とアドレス放電との間で、走査電極 Y_j と維持電極 X_i との間に印加される電圧及び、走査電極 Y_j とアドレス電極 A_j との間に印加される電圧の極性が、共に逆となっている。またここでは、維持電極 X_i とアドレス電極 A_j との間の電圧についても、リセット期間とアドレス期間とは逆電位となる。(アドレス電極 A_j はアドレスパルスの無印加時)なお本実施例では、選択すべき放電セルにのみ書き込み放電を行う書き込みアドレス法を採用しているが、全放電セルに一旦書き込みを行った後に不要な放電セルに蓄積された壁電荷を消去していく、いわゆる消去アドレス法であっても構わない。

【0054】次の維持放電期間では、全維持電極 X_i 及び全走査電極 Y_j に交互に維持放電パルス V_s を印加する。印加電圧は例えば180Vである。この結果、アドレス期間においてデータの書き込み(壁電荷の蓄積)が行われた放電セルは放電開始電圧を越え、維持放電パルス V_s の印加に応じて維持放電が繰り返し行われる。次に本実施例による作用を、モデル図を用いて説明する。

【0055】図3は本発明の第一の作用を示すモデル図である。(a)全面書き込み工程では、維持電極 X_i に例えば-120Vの電圧を、走査電極 Y_j には180Vの電圧を、それぞれ印加する。この結果各電極上には、それぞれ壁電荷が形成される。

(b)全面自己消去工程を終了した際には、特に維持電極 X_i 及び走査電極 Y_j の逆スリット付近において壁電荷が残留する。この点自体は従来と同様である。しかしな

がら、注目すべきは残留壁電荷の極性である。すなわち(a)全面書き込み工程における電圧の印加極性を従来とは逆にしているため、維持電極 X_i 及び走査電極 Y_j 上に蓄積される壁電荷はそれぞれ従来とは逆の極性となっている。

【0056】(c)アドレス工程では、従来と同様に、維持電極 X_i には例えば50Vの電圧を、選択した走査電極 Y_j には-150Vの電圧を、選択したアドレス電極 A_j には50Vの電圧を、それぞれ印加する。しかしながら本発明における残留壁電荷は、 $A_j - Y_j$ 電極間に印加するアドレス電圧に対して加算される極性となっている。従って本発明では、 $A_j - Y_j$ 電極間に印加する電圧が残留電荷の影響で引き下げられるようなことはなく、アドレス放電に対して特に高い印加電圧を用いなくともアドレス放電を安定して実行することが可能である。

【0057】次に図4は、本発明の第二の作用を示すモデル図である。(a)アドレス工程では従来と同様に、維持電極 X_i には例えば50Vの電圧を、選択した走査電極 Y_j には-150Vの電圧を、選択したアドレス電極 A_j には50Vの電圧を、それぞれ印加する。この結果生じるアドレス放電によって、各電極上には壁電荷が蓄積される。特にアドレス電極 A_j 上では、アドレス電極 A_j に沿って壁電荷が逆スリット付近にまで広がっている。

【0058】(b)維持放電工程では、(a)工程にて蓄積された壁電荷に重畳するように維持パルスが印加され、維持放電が行われる。しかしながらアドレス電極 A_j 上の特に逆スリット付近にまで広がった壁電荷は、(b)維持放電工程の終了後も一部残留する。この例では、アドレス電極 A_j 上にはマイナスの電荷が残留している。こゝまでは従来と同様である。

【0059】(c)全面書き込み工程では、維持電極 X_i に例えば-120Vの電圧を、走査電極 Y_j には180Vの電圧を、アドレス電極 A_j には0Vの電圧を、それぞれ印加する。この工程で注目すべきは、アドレス放電時の極性とは逆となる電圧がアドレス電極 A_j と走査電極 Y_j 間に印加される点である。すなわちアドレス電極 A_j に印加される電圧0Vは、走査電極 Y_j に印加される電圧180Vに対して負であり、マイナスの残留電荷と同じ極性である。このためこのマイナスの残留電荷は、従来とは逆に、この工程における放電をより強力にするよう作用する。従って本発明では、残留した壁電荷はより強力な全面書き込み放電により完全に中和される。

【0060】続いて(d)全面自己消去工程、及び次の(e)アドレス工程が実施されるが、アドレス電極 A_j 上の残留電荷は(c)工程にて中和されているため、影響が及ぶことはない。従って本発明では、アドレス放電に対して特に高い印加電圧を用いなくとも、アドレス放電を安定

して実行することが可能である。

【0061】図5は、本発明の第二の実施例を示す波形図である。本実施例は、前述の第一の実施例に対して幾つかの消去パルスを加え、より安定な動作を求めたものである。まず本実施例では、リセット期間における全面書き込みパルスを印加する前に、走査電極 Y_i に立ち上がり緩やかな消去パルスを印加している。この消去パルスは、全面書き込み放電の際の走査電極 Y_i への印加電圧である180Vまで立ち上がっており、そのまま全面書き込み放電へと移行するものである。

【0062】このパルスは、前のサブフィールドで点灯していた放電セル内に残留する壁電荷を消去する機能がある。すなわち各放電セル内に存在する壁電荷の量はそれぞれ異なり、それに伴って放電開始電圧もそれぞれ異なる。放電空間に実際に印加される電圧は、電極に印加される電圧と放電セル内に蓄積される壁電荷の電位との合計によって決まるからである。従って、立ち上がりのゆるやかな消去パルスを印加すれば、残存している壁電荷と印加電圧との和が放電開始電圧を越えた放電セルから順次放電を開始することになり、しかもどの放電セルにとっても放電開始電圧にほぼ等しい電圧にて放電を実施したことになるため、基本的に放電後に余剰な壁電荷が残らないのである。本実施例によれば、放電セルの状態には無関係に、放電セルのリセットを実施できる。

【0063】続いて行われる全面書き込み放電では、維持電極 X_i への印加電圧を、第一の実施例の際の-120Vから-180Vへと変更している。これは、-180Vとした方が、リセット工程終了時に残留する電荷が少ないことが実験的に明らかとなったからである。また第一の実施例では、維持電極 X_i と走査電極 Y_i から印加される全面書き込みパルスは略同じタイミングで印加する必要があるが、本実施例では、消去放電を行っているためタイミングの制御が緩和される。続く自己消去放電については、第一の実施例と同様である。

【0064】次に本実施例においては、構造上の欠陥を有する放電セルや、全面自己消去放電後に何らかの理由により電荷が過剰に残留してしまった放電セルにおいて、選択していないにも係わらず、アドレス放電もしくは維持放電が行われてしまうことを防ぐため、第1、第2の各補助パルス及びそれに続く補助消去パルスの印加を実施している。

【0065】第一に、全面書き込み放電によって蓄積された壁電荷がそのままの極性で残留してしまった場合のために、維持放電と同じ条件で、維持電極 X_i に第1の補助パルスを印加している。すなわち維持放電期間と同様にアドレス電極 A_j には100Vの電圧を印加した状態で、維持電極 X_i に維持放電パルスと同様の180Vを印加している。このパルスの印加により、リセット期間終了時に何らかの理由によって、維持放電パルスによ

って放電できるだけの（アドレス期間で選択的に蓄積する壁電荷と同等量）壁電荷が残存する放電セルが存在した場合、その放電セルにて放電が行われる。そしてそれに続く補助消去パルスにより、これらの残存壁電荷は消去される。ここでの第1の補助パルスの役割は、不要な壁電荷が存在する放電セルを検出し、その後の補助消去パルスによって消去しやすいよう壁電荷量を増幅することである。この第1の補助パルスと補助消去パルスとによって、アドレス期間でアドレスパルスが印加されていないにも係わらず、維持放電が行われてしまうことを防止しているのである。ここでの補助消去パルスは、前述のリセット期間における立ち上がりの緩やかな消去パルスと同じ性質を有するものである。

【0066】第二に、構造上の欠陥等によりアドレス電極 A_j と走査電極 Y_i 間の放電開始電圧が極端に低く、アドレスパルスが印加されていないにも係わらず、スキャンパルスなどの印加だけでアドレス放電に至ってしまう放電セルの存在を考慮し、アドレス放電と同じ条件で、走査電極 Y_i に第2の補助パルスを印加している。すなわちアドレス期間と同様に維持電極 X_i に50Vのパルスを印加すると共に、走査電極 Y_i にスキャンパルスと同様の-150Vの電圧を印加している。このパルスの印加により、放電開始電圧が他の放電セルに比べて低く、アドレスパルスの印加をしていないにも係わらずアドレス放電を実施してしまう放電セルにおいてのみ、放電が実施される。続く補助消去パルスにより消去放電が行われるわけであるが、この際走査電極 Y_i 側には、本来アドレス放電によって蓄積されるべき壁電荷とは逆極性であるプラスの壁電荷が多少残留し、後のアドレス期間においてその放電セルに印加される電圧を引き下げるように作用する。結果として、この放電セルの放電開始電圧が引き下げられたことになり、アドレスパルスが印加されないにも係わらず、アドレス放電が行われてしまうという現象を防止することができる。なお、第2の補助パルスと共に維持電極 X_i 側に印加している電圧（50V）は、必ずしも必要ではないことが実験により確認されている。この場合、維持電極 X_i は接地電位とすることになる。

【0067】続くアドレス期間及び維持放電期間については、第一の実施例と同様である。次に図6は、本発明の実施例であるPDPの駆動回路を示す概略的ブロック図である。図9に示した従来の構成とその多くは同一であるが、X共通ドライバ2及びX電極（維持電極）に接続するX書き込み回路21が付加されている。なお、図9と同じものは同じ符号にて表すこととした。

【0068】図7は本発明の実施例を示す回路図であり、図6におけるX共通ドライバ2、X書き込み回路21、Yスキャンドライバ3、Y共通ドライバ4、アドレスドライバ5の具体的な回路例である。まずアドレスドライバ5は、電位Vaの電源配線がダイオードD1のア

ノード及び抵抗 R_1 の一端に接続され、抵抗 R_1 の他端がツェナーダイオード D_2 のカソード、コンデンサ C_1 の一端及びスイッチ素子 SW_1 の一端に接続されている。スイッチ素子 SW_1 の他端はスイッチ素子 SW_2 の一端及びコンデンサ C_2 の一端に接続され、コンデンサ C_2 の他端はダイオード D_1 のカソードに接続されている。ツェナーダイオード D_2 のアノード、コンデンサ C_1 の他端及びスイッチ素子 SW_2 の他端は、接地配線に接続されている。

【0069】コンデンサ C_1 の端子間電圧は、ツェナーダイオード D_2 の降伏電圧 V_{as} に等しい。ダイオード D_1 のカソード及びコンデンサ C_2 の他端の接続点の電位は、アドレス期間では、スイッチ素子 SW_1 がオフにされスイッチ素子 SW_2 がオンにされて電位 V_a となり、維持放電期間及び第1の補助パルス印加時は、スイッチ素子 SW_2 がオフにされた後スイッチ素子 SW_1 がオンにされて、コンデンサ C_1 の電圧 V_{as} にコンデンサ C_2 の電圧 V_a が上乗せられ、 $V_{aw} = V_a + V_{as}$ となる。

【0070】更に、ダイオード D_3 のアノード、ダイオード D_4 のカソード、スイッチ素子 SW_3 の一端及びスイッチ素子 SW_4 の一端が共に対応するアドレス電極 A_i に接続され、ダイオード D_3 のカソード及びスイッチ素子 SW_3 の他端が前記ダイオード D_1 のカソード及びコンデンサ C_2 の他端の接続点に接続され、ダイオード D_4 のアノード及びスイッチ素子 SW_4 の他端が接地配線に接続されている。

【0071】スイッチ素子 SW_3 をオンにし、スイッチ素子 SW_4 をオフにすると、アドレス電極 A_i に前記出力電位 V_a 又は V_{aw} が印加され、また、スイッチ素子 SW_3 をオフにし、スイッチ素子 SW_4 をオンにすると、アドレス電極 A_i が0Vになる。走査電極 Y_i の駆動回路は、各走査電極 Y_i を共通に駆動するY共通ドライバ4と、各走査電極 Y_i を個別に駆動するYスキャンドライバ3とを有する。Yスキャンドライバ3の出力端が走査電極 Y_i ($i=1 \sim N$)の各々に個別に接続されるのに対し、1つのY共通ドライバ4の出力端は、上記Yスキャンドライバ3の各入力端に共通に接続される。

【0072】Y共通ドライバ4は、スイッチ素子 SW_5 の一端が接地配線に接続され、スイッチ素子 SW_6 の一端が電位 V_s の電源配線に接続されている。スイッチ素子 SW_5 の他端は、一方ではダイオード D_5 のアノードからカソードを通して電位 V_s の電源配線に接続され、他方ではダイオード D_6 のカソードからアノードを通して配線FVHに接続されている。配線FVHは、一方ではダイオード D_7 のカソードからアノードを通りスイッチ素子 SW_7 を介して電位 $-V_{sc}$ の電源配線に接続され、他方ではスイッチ素子 SW_8 を介して電位 $-V_y$ の電源配線に接続されている。スイッチ素子 SW_6 の他端は、一方ではダイオード D_8 のカソードからアノードを

通って接地配線に接続され、他方ではスイッチ素子 SW_{10} を介して配線FLGに接続されている。配線FLGは、一方では抵抗 R_2 及びスイッチ素子 SW_9 を介して電位 V_s の電源配線に接続され、他方ではスイッチ素子 SW_{11} を介して電位 $-V_y$ の電源配線に接続されている。

【0073】Yスキャンドライバ3は、ダイオード D_9 のアノード、ダイオード D_{10} のカソード、スイッチ素子 SW_{12} の一端及びスイッチ素子 SW_{13} の一端が共に対応する走査電極 Y_i に接続され、ダイオード D_9 のカソード及びスイッチ素子 SW_{12} の他端が配線FVHに接続され、ダイオード D_{10} のアノード及びスイッチ素子 SW_{13} の他端が配線FLGに接続されている。

【0074】リセット期間においては、スイッチ素子 SW_8 をオンにし、その他のスイッチ素子をオフにすることにより、走査電極 Y_i からダイオード D_9 、配線FVH及びスイッチ素子 SW_8 を通して電流が流れ、走査電極 Y_i に第2の補助パルスである $-V_y$ を印加することができる。また、スイッチ素子 SW_9 をオンにし、その他のスイッチ素子をオフにすることにより、抵抗 R_2 及びダイオード D_{10} を通して、立ち上がりが緩やかな補助消去パルス用の電位 V_s が走査電極 Y_i に印加される。この立ち上がりの傾斜は、抵抗 R_2 と電極間静電容量とによって決定される。

【0075】維持放電期間及び消去パルスを用いない場合のリセット期間での維持パルス用の電位 V_s は、スイッチ素子 SW_6 及び SW_{10} をオンにし、その他のスイッチ素子をオフにすることにより、スイッチ素子 SW_6 、 SW_{10} 及びダイオード D_{10} を通して走査電極 Y_i に印加される。前記消去パルスを用いる場合は、前記補助消去パルスと同様に、スイッチ素子 SW_9 をオンにし、その他のスイッチ素子をオフにすることにより、抵抗 R_2 及び電極間静電容量とによる立ち上がりが緩やかなパルスを生成すればよい。

【0076】アドレス期間においては、スイッチ素子 SW_7 と SW_{11} をオンにし、その他のスイッチ素子をオフにすることにより、非選択電位である $-V_{sc}$ と選択電位である $-V_y$ とが走査電極 Y_i に印加される。この際スイッチ素子 SW_{10} をオフにすることにより、ダイオード D_8 を通して電位 $-V_y$ の電源配線へ電流が流れ込むのを阻止している。この状態で、スイッチ素子 SW_{13} をオンにすることによりスキャンパルス用の電位 $-V_y$ が走査電極 Y_i に印加され、スイッチ素子 SW_{12} をオンにすることにより非選択電位である $-V_{sc}$ が走査電極 Y_i に印加される。この動作は、各走査電極 Y_i ($i=1 \sim n$)について順次行われる。

【0077】正電位の走査電極 Y_i を0Vに低下させる場合には、スイッチ素子 SW_5 をオンにし、その他のスイッチ素子をオフにする。これにより、走査電極 Y_i からダイオード D_9 、 D_6 及びスイッチ素子 SW_5 を通

て、走査電極 Y_i を0Vにするための電流が流れる。負電位の走査電極 Y_i を0Vに上昇させる場合には、スイッチ素子SW10をオンにし、その他のスイッチ素子をオフにする。これにより、ダイオードD8からスイッチ素子SW10及びダイオードD10を通して、走査電極 Y_i を0Vにするための電流が流れる。

【0078】X共通ドライバ2は、電位 V_s の電源配線と接地配線との間にスイッチ素子SW14とスイッチ素子SW15とが直列に接続され、スイッチ素子SW14にはダイオードD11が、スイッチ素子SW15にはダイオードD12が並列に接続されている。スイッチ素子SW16の一端には電位 V_x の電源配線が接続され、他端にはダイオードD15のアノードが接続されている。またスイッチ素子SW17の一端にも電位 V_x の電源配線が接続され、他端にはダイオードD16のカソードが接続されている。スイッチング素子SW16にはダイオードD13が、スイッチ素子SW17にはダイオードD14が並列に接続されている。ダイオードD15のカソード及びダイオードD16のアノードとが接続され、スイッチング素子SW14及びスイッチング素子SW15の接続点に共通に接続されて、X共通ドライバ2の出力となっている。

【0079】X書き込み回路21は、 $-V_w$ の電源配線に一端が接続されたスイッチング素子SW18と、スイッチング素子SW18に並列に接続されたダイオードD17とから構成されている。X共通ドライバ2の出力は、スイッチング素子SW19の一端に接続され、スイッチング素子SW19の他端はX書き込み回路21におけるスイッチング素子SW18の他端と全維持電極 X_i とに共通に接続されている。スイッチング素子SW19には、ダイオードD18が並列に接続されている。

【0080】なお本実施例では、各スイッチング素子として、大電力を供給可能なパワーFETであるD-FETを使用している。(X共通ドライバ2及びX書き込み回路21のみモデル図にて図示)D-FETは基本的にソース、ドレインが固定であるため電流を一方向にしか流さないが、同時に逆方向の寄生ダイオードを有しているため、D-FETの使用によって各素子に並列に接続するダイオードを省略することができる。

【0081】図8は、本発明における回路動作を説明するタイミングチャートであり、特にX共通ドライバ2及びX書き込み回路21の動作タイミングを示している。(a)は維持電極 X_i の印加電位であり、(b)はスイッチング素子SW14の制御信号、(c)はスイッチング素子SW15の制御信号、(d)はスイッチング素子SW16の制御信号、(e)はスイッチング素子SW17の制御信号、(f)はスイッチング素子SW19の制御信号、(g)はスイッチング素子SW18の制御信号を示している。

【0082】リセット期間においては、制御信号 X_w のみが「H」であり、他の制御信号は全て「L」である。

このためスイッチング素子SW18のみがオンとなり、維持電極 X_i の電位は、スイッチング素子SW18を介して書き込み電圧 $-V_w$ へ引き下げられる。この際維持電極 X_i の電位が書き込み電圧 $-V_w$ より下がってしまい、アンダーシュートを起こす可能性があるが、その際にはダイオードD17を介して超過分の電圧を維持電極 X_i に戻すことができるため、アンダーシュートは収束する。

【0083】第2の補助パルス及びアドレス期間における電圧 V_x の供給の際には、制御信号AU、AD、SSが「H」となり、他の信号は「L」となる。このためスイッチング素子SW16及び17がオンとなり、スイッチング素子SW19を介して維持電極 X_i へ電圧 V_x が供給される。ここで電位 V_x の供給に2つのスイッチング素子SW16、17を用いているのは、一方だけであると、アドレス電極 A_j へのアドレスパルス V_a の印加に伴い、電極間静電容量を介して維持電極 X_i の電位が変動してしまうことが分かったからである。電源配線 V_x に接続した2つのスイッチング素子SW16、17の接続点から出力を取り出すことにより、維持電極 X_i の電位の変動を防止することができる。

【0084】第1の補助パルス及び維持放電期間における電位 V_s の供給の際には、制御信号SU、SSが「H」となり、他の信号は「L」となる。このためスイッチング素子SW14がオンとなり、スイッチング素子SW19を介して維持電極 X_i へ電圧 V_s が供給される。この際維持電極 X_i の電位が V_s より上がってしまい、オーバーシュートを起こす可能性があるが、その際にはダイオードD11を介して超過分の電圧を維持電極 X_i から引き抜くことができるため、オーバーシュートは収束する。

【0085】維持電極 X_i の電位を接地電位とする場合は、引き上げるか引き下げるかで多少動作が異なる。例えば維持電極 X_i が書き込み電圧 $-V_w$ を供給されている状態から接地電位に引き上げる際には、制御信号SSのみが「H」となり、他の信号は「L」となる。このためダイオードD12及びスイッチング素子SW19を介して維持電極 X_i へ接地電位が供給される。一方例えば維持電極 X_i が電位 V_s を供給されている状態から接地電位に引き下げる際には、制御信号SDのみが「H」となり、他の信号は「L」となる。このためスイッチング素子SW15がオンとなり、ダイオードD18及びスイッチング素子SW15を介して維持電極 X_i の電位が接地電位に引き下げられる。

【0086】しかしながら実際には、維持電極 X_i へ接地電位を供給する際に、維持電極 X_i の電位が接地電位より上がってしまい、オーバーシュートを起こす可能性があるため、本実施例では、スイッチング素子SW15をオン状態としておくことで超過分の電圧を維持電極 X_i から引き抜くことができるようにしている。また維持

電極 X_i を接地電位に引き下げる際には、前記動作の場合、維持放電パルス V_s を維持電極 X_i に印加する度にスイッチング素子 $SW19$ をオン/オフすることになり、消費電力も増加するため、本実施例ではスイッチング素子 $SW19$ をオン状態に維持するようにしている。

【0087】なおダイオード $D12$ は、走査電極 Y_i の電位を引き下げた際に維持電極 X_i の電位が変動しないように、維持電極 X_i に接地電位を供給する作用も有している。また X 書き込み回路 21 は、スイッチング素子 $SW19$ によって X 共通ドライバ 2 と分離されている。これはスイッチング素子 $SW18$ がオンする際に、ダイオード $D12$ 及びスイッチング素子 $SW18$ を介して接地電位から $-V_w$ の電源配線へと貫通電流が流れることを防止するためである。このため本実施例では、 X 共通ドライバ 2 と X 書き込み回路 21 との間にスイッチング素子 $SW19$ を設け、 X 書き込み回路 21 が動作する際にはスイッチング素子 $SW19$ をオフするようにしている。

【0088】

【発明の効果】本発明によれば、全面書き込み放電によって蓄積した壁電荷が自己消去放電後に残留した場合でも、正常なアドレス放電が可能となる。またアドレス放電によって蓄積された壁電荷が残留した場合でも、次のリセット期間で残留壁電荷を中和できるため、正常なアドレス放電が可能となる。

【図面の簡単な説明】

【図1】本発明の原理を示す説明図である。

【図2】本発明の第一の実施例を示す波形図である。

【図3】本発明の第一の作用を示すモデル図である。

【図4】本発明の第二の作用を示すモデル図である。

【図5】本発明の第二の実施例を示す波形図である。

【図6】本発明の実施例であるPDPの駆動回路を示す概略的ブロック図である。

【図7】本発明の実施例を示す回路図である。

【図8】本発明における回路動作を説明するタイミングチャートである。

【図9】3電極・面放電・AC型PDPを駆動するための周辺回路を示す概略的ブロック図である。

【図10】3電極・面放電・AC型PDPの概略的平面図である。

【図11】3電極・面放電・AC型PDPの概略的断面図・1である。

【図12】3電極・面放電・AC型PDPの概略的断面図・2である。

【図13】従来技術を示す駆動波形図である。

【図14】ADSサブフィールド法を示す説明図である。

【図15】従来技術の問題点を示す波形図である。

【図16】従来技術の第一の問題点を示すモデル図である。

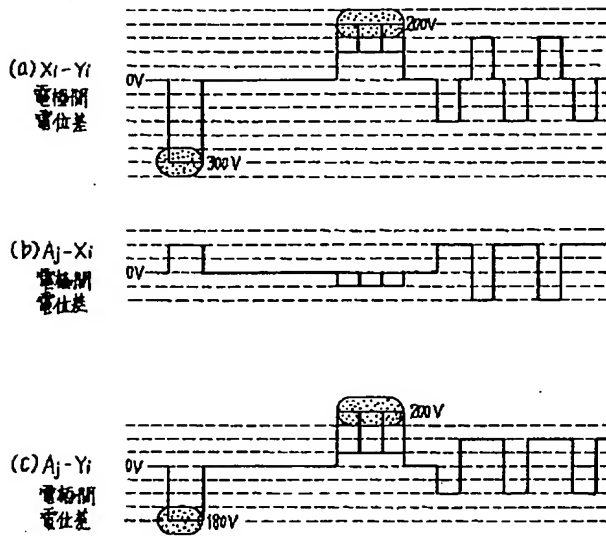
【図17】従来技術の第二の問題点を示すモデル図である。

【符号の説明】

- 1 パネル
- 10 放電空間
- 11 背面ガラス基板
- 12 誘電体
- 13 蛍光体
- 14 前面ガラス基板
- 15 透明電極
- 16 バス電極
- 17 誘電体層
- 18 MgO膜
- 19 障壁
- 101 放電セル
- 2 X 共通ドライバ
- 3 Y スキャンドライバ
- 4 Y 共通ドライバ
- 5 アドレスドライバ
- 6 制御回路
- 7 表示データ制御部
- 71 フレームメモリ
- 8 パネル駆動制御部
- 81 スキャンドライバ制御部
- 82 共通ドライバ制御部

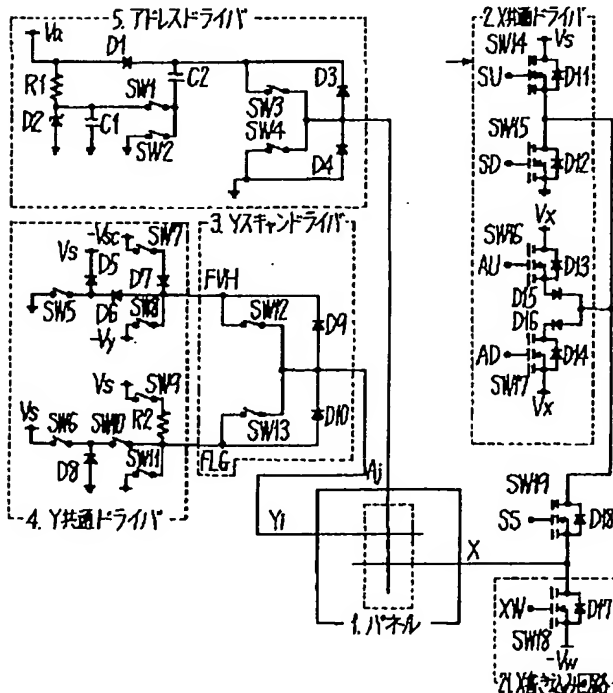
【図1】

本発明の原理を示す説明図



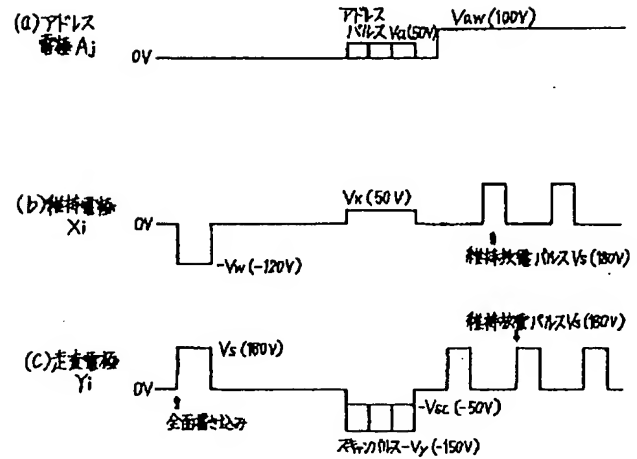
【図7】

本発明の実施例を示す回路図



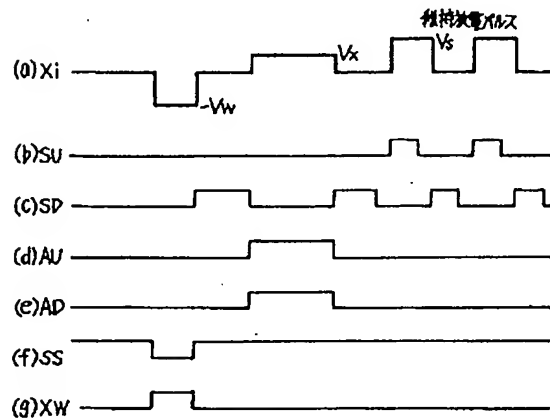
【図2】

本発明の第一の実施例を示す波形図



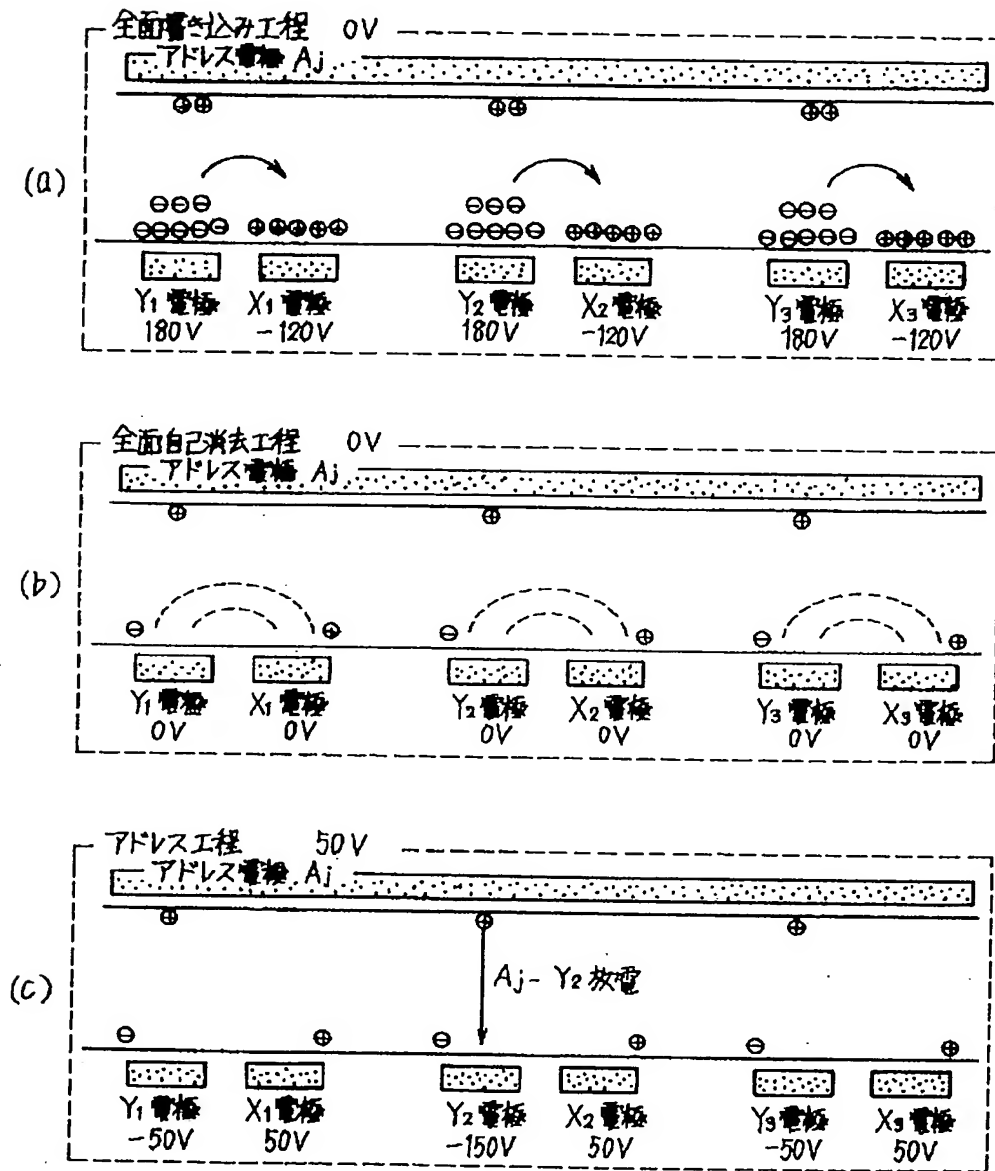
【図8】

本発明における回路動作を説明するタイミングチャート



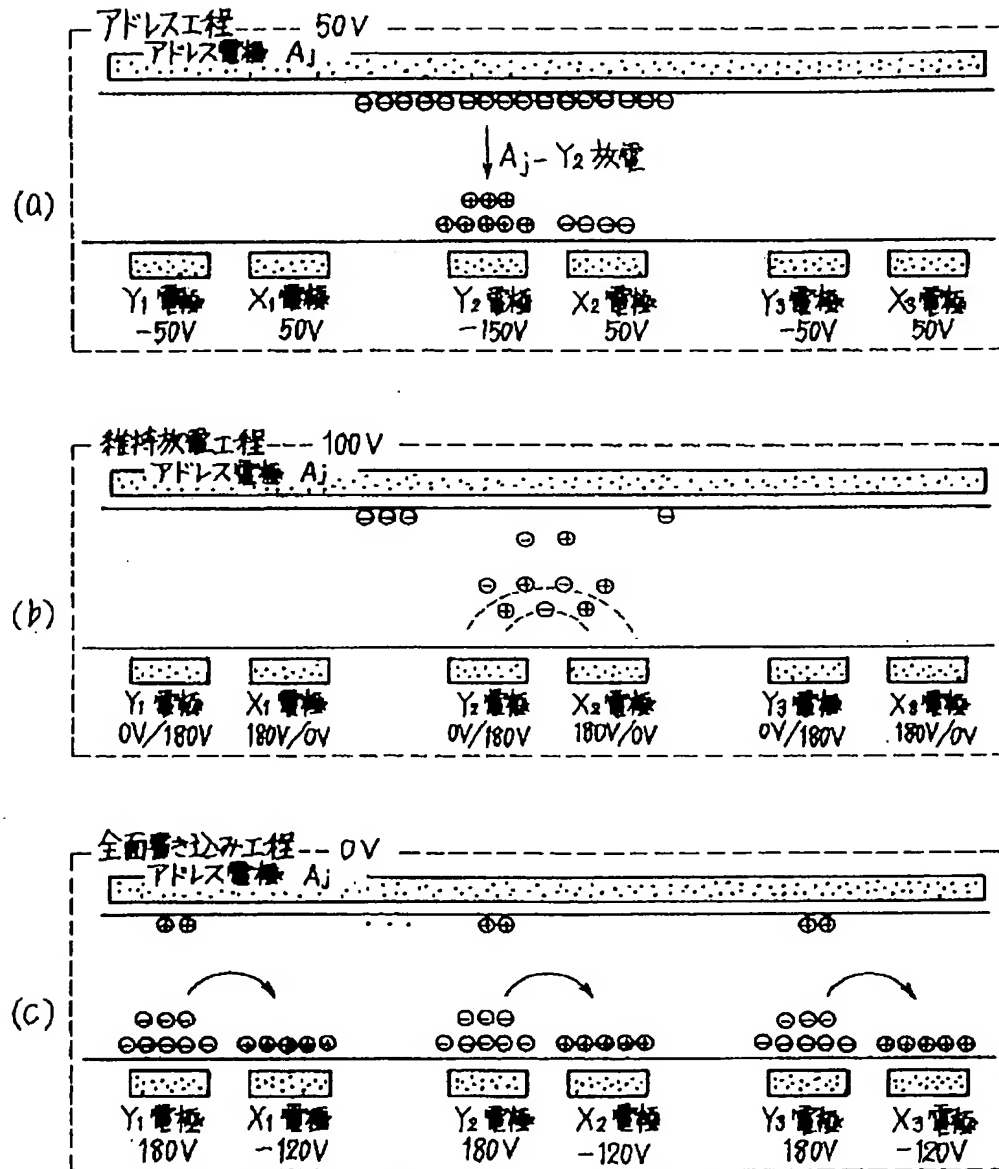
【図3】

本発明の第一の作用を示すモデル図



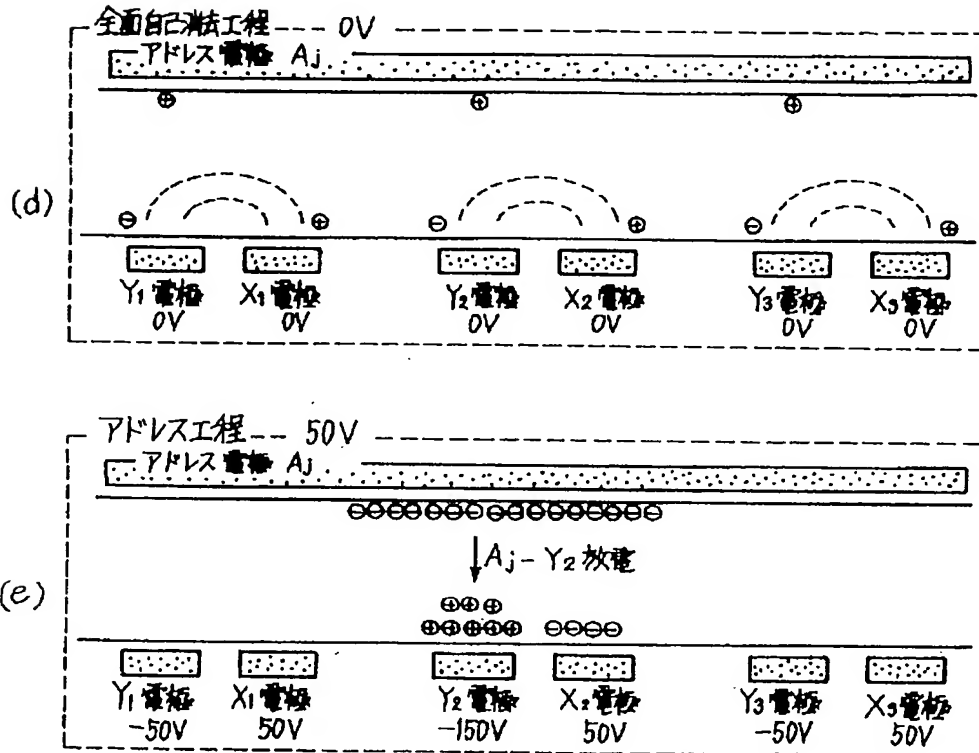
【図4-1】

本発明の第二の作用を示すモデル図・1



【図4-2】

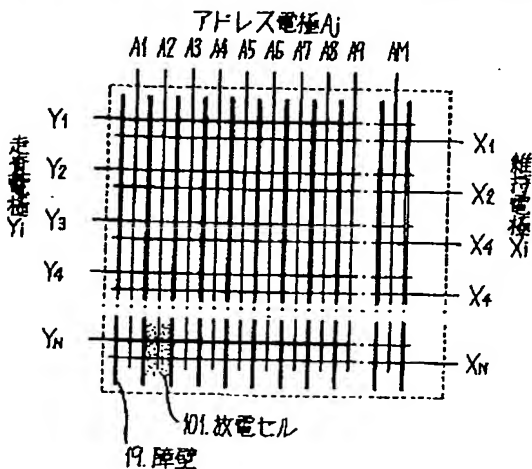
本発明の第二の作用を示すモデル図・2



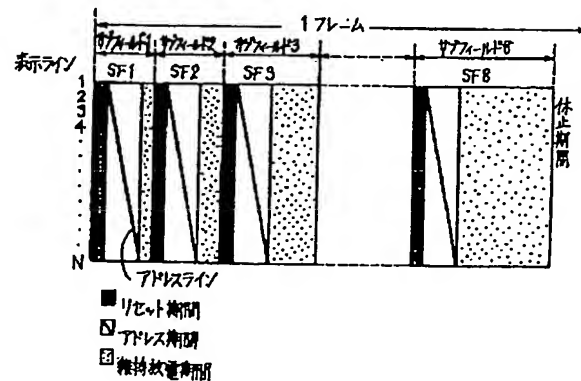
【図10】

【図14】

3電極・面放電・AC型PDPの概略的平面図

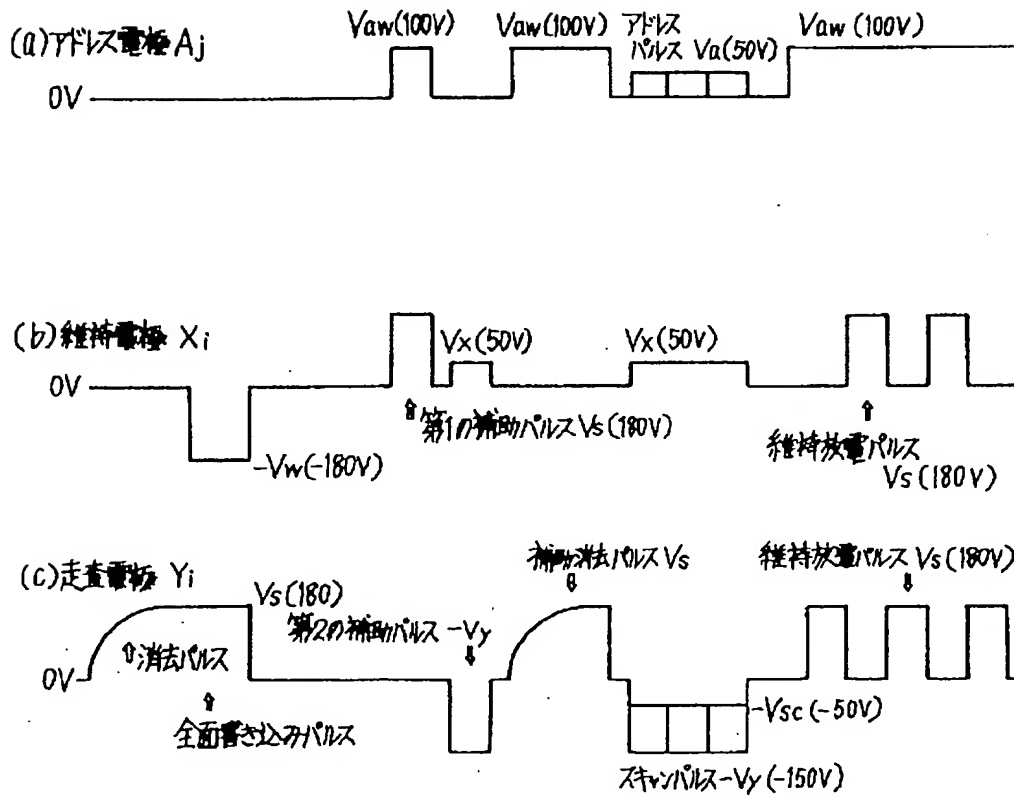


ADSサブフィールド法を示す説明図



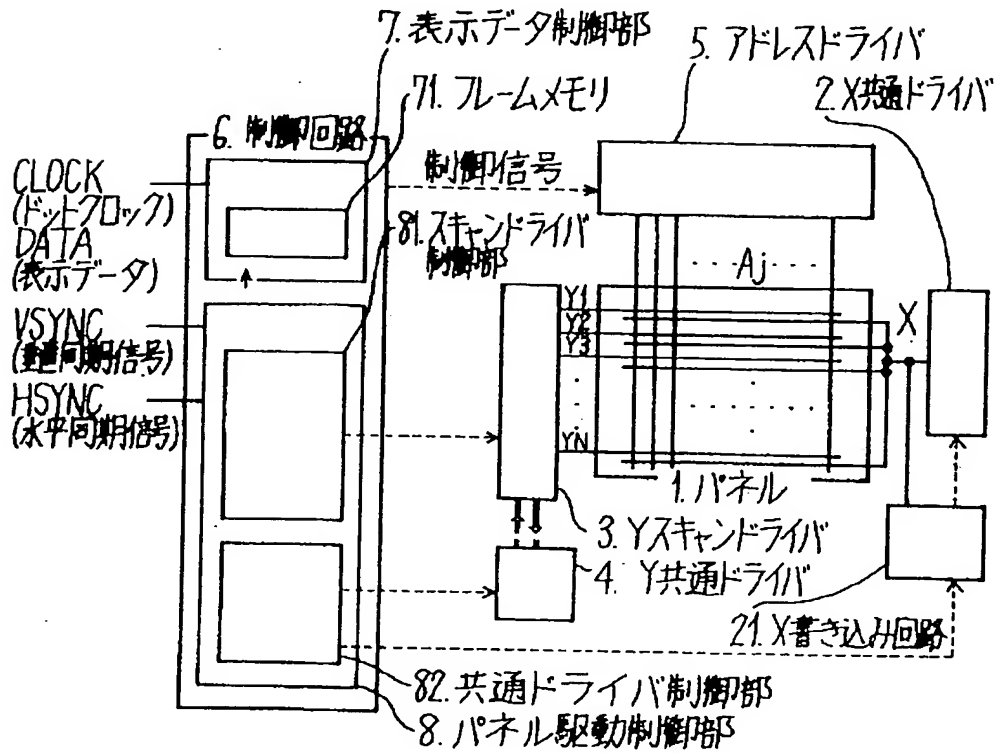
【図5】

本発明の第二の実施例を示す波形図



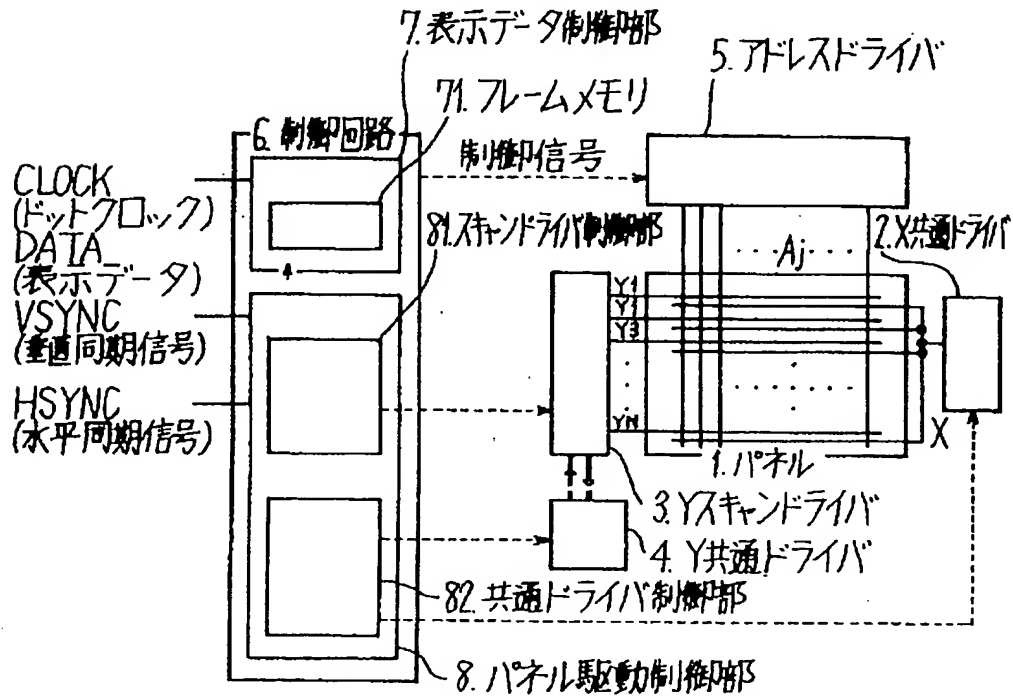
【図6】

本発明の実施例であるPDPの駆動回路を示す概略的ブロック図



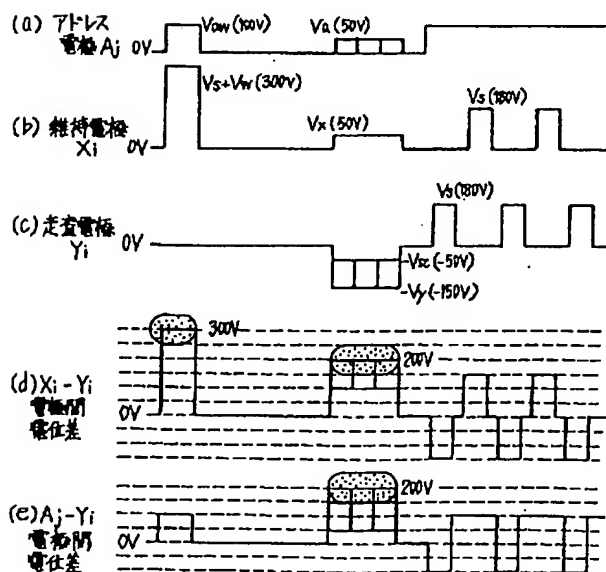
【図9】

3電極・面放電・AC型PDPを駆動するための
周辺回路を示す概略的ブロック図



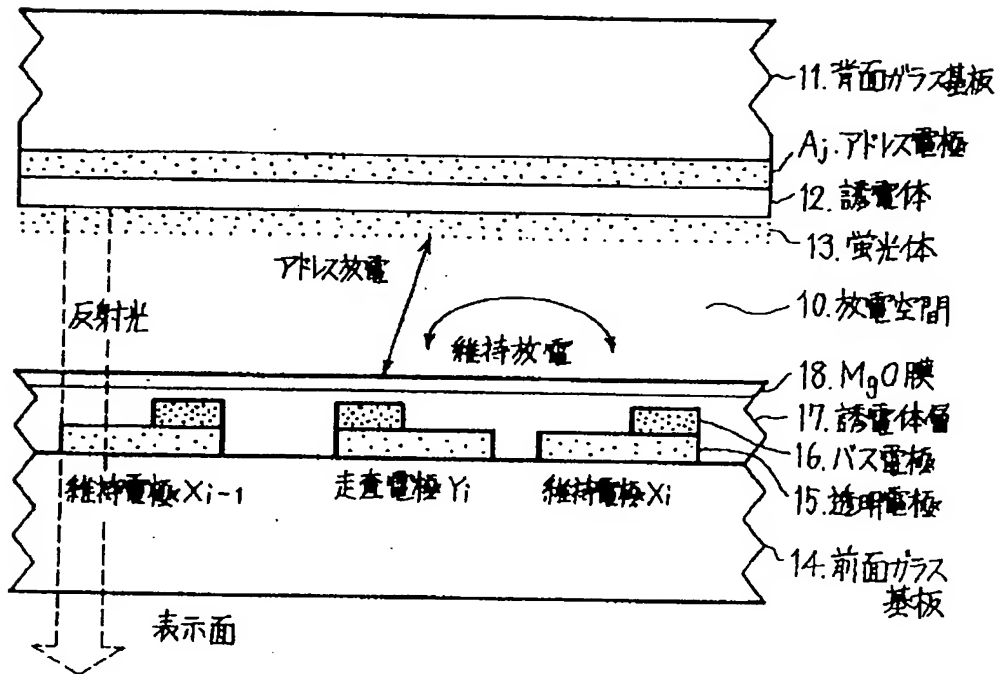
【図15】

従来技術の問題点を示す波形図



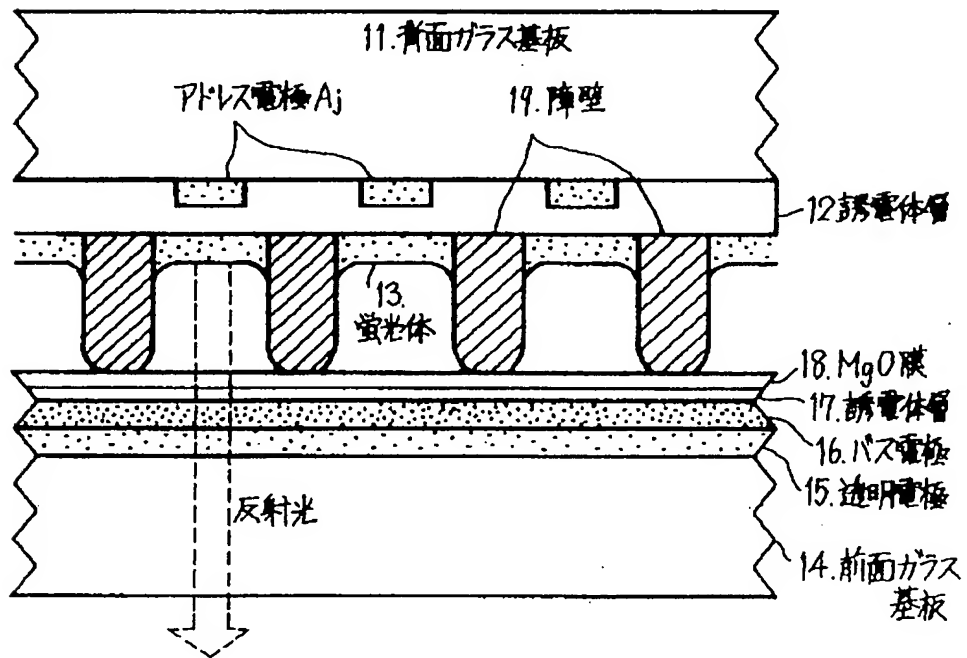
【図11】

3電極・面放電・AC型PDPの概略的断面図・1



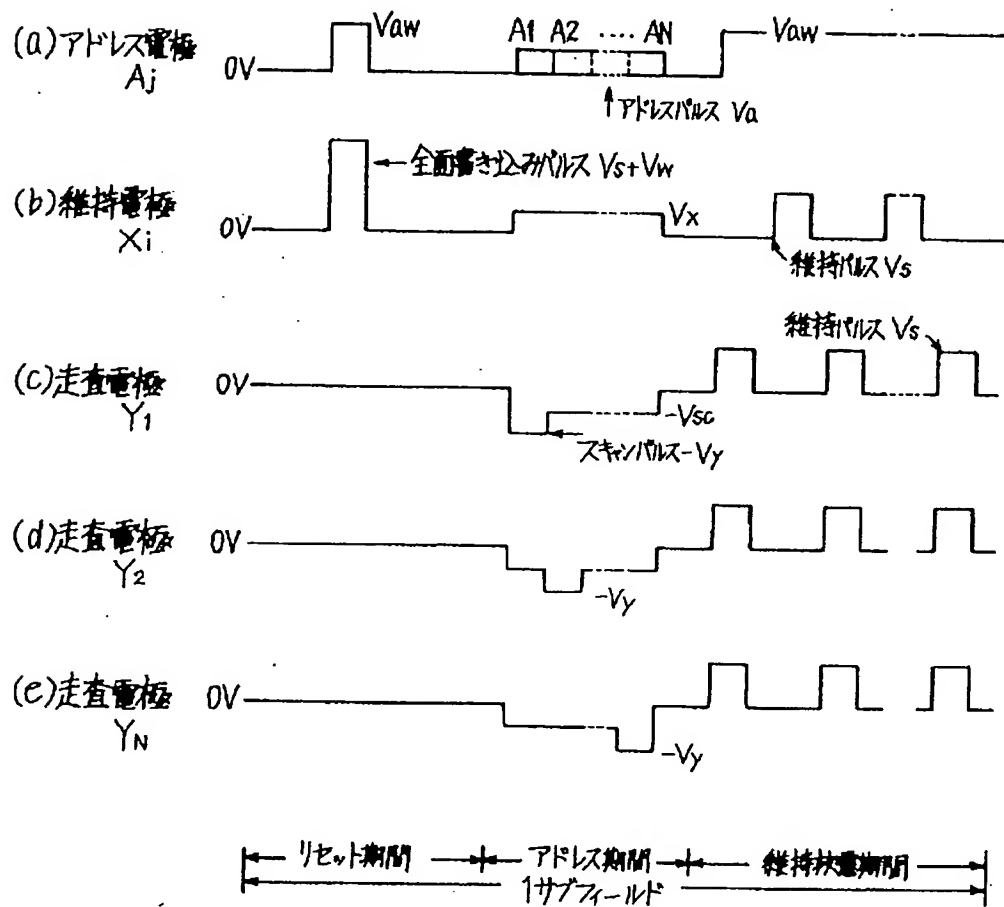
【図12】

3電極・面放電・AC型PDPの概略的断面図・2



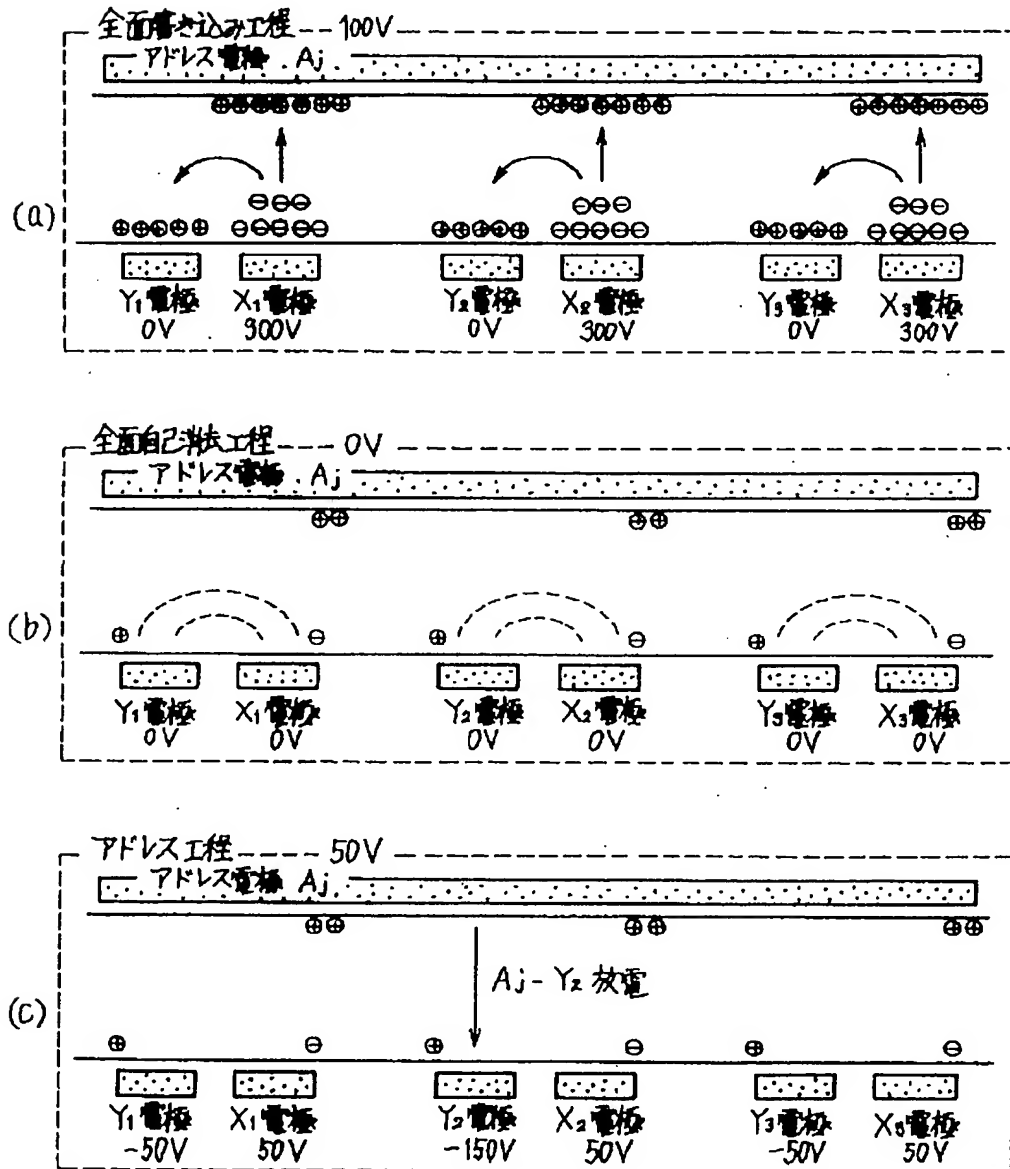
【図13】

従来技術を示す駆動波形図



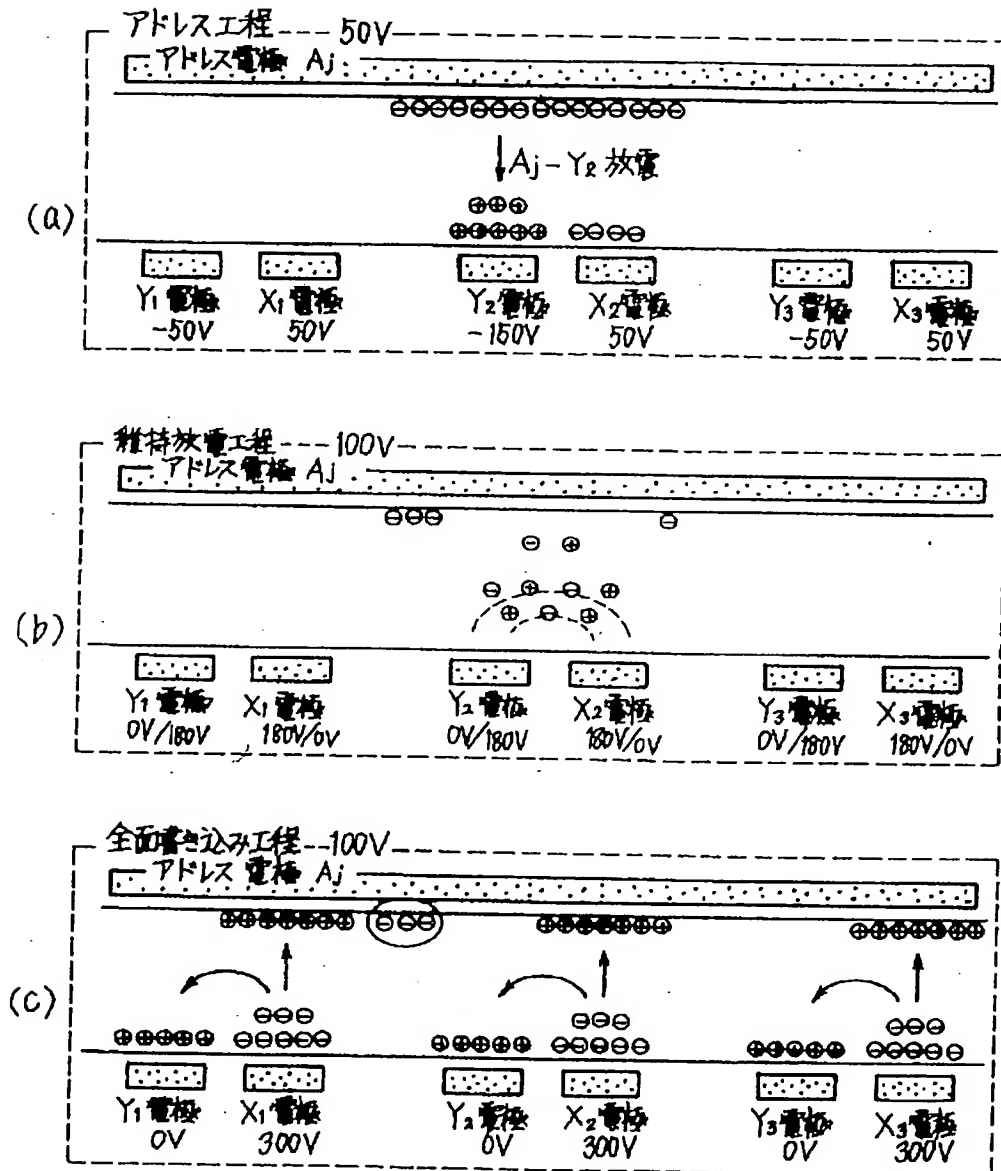
【図16】

従来技術の第一の問題点を示すモデル図



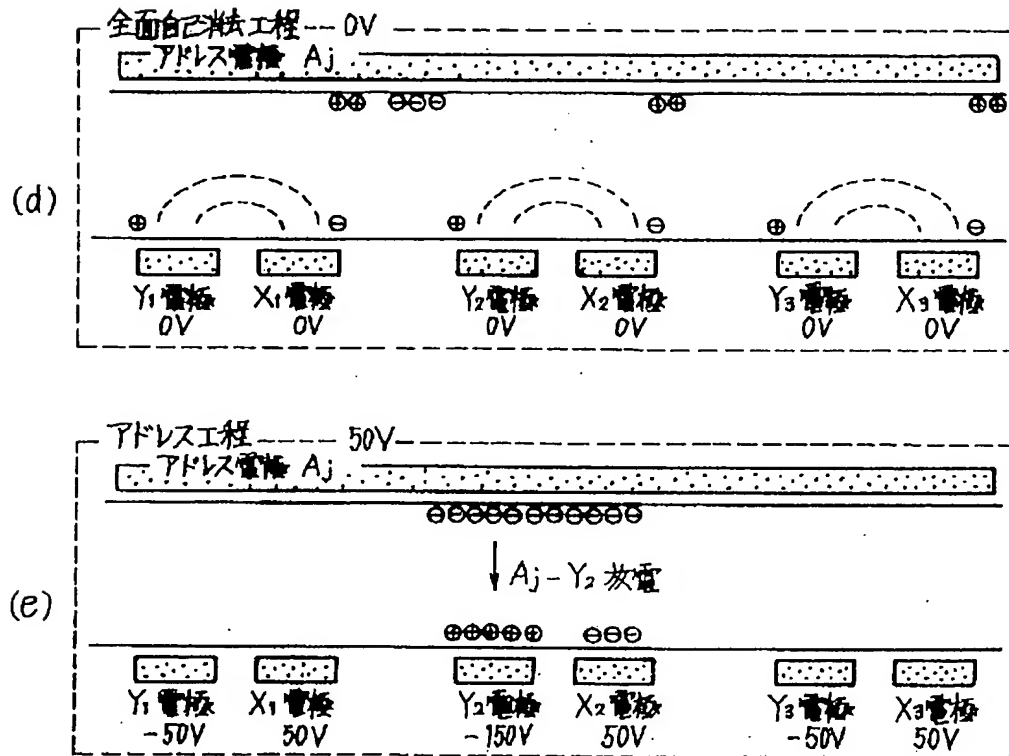
【図17-1】

従来技術の第二の問題点を示すモデル図・1



【図17-2】

従来技術の第二の問題点を示すモデル図・2



THIS PAGE BLANK (USPTO)